

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Joichiro EZAKI, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: MAGNETIC MEMORY DEVICE, WRITE CURRENT DRIVE CIRCUIT, AND WRITE CURRENT DRIVE METHOD

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY  
Japan

APPLICATION NUMBER  
2002-339932


MONTH/DAY/YEAR  
November 22, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)  
☐ are submitted herewith  
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

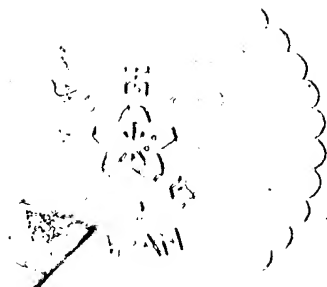
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年11月22日  
Date of Application:

出願番号 特願2002-339932  
Application Number:  
[ST. 10/C]: [JP2002-339932]

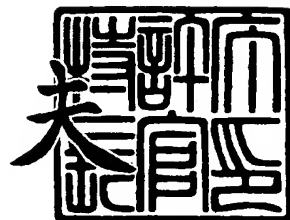
出願人 TDK株式会社  
Applicant(s):



2003年10月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康夫



【書類名】 特許願

【整理番号】 TD04432

【提出日】 平成14年11月22日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 11/15

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 江▲崎▼ 城一郎

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 柿沼 裕二

【発明者】

【住所又は居所】 東京都中央区日本橋一丁目 1 3 番 1 号 ティーディーケイ株式会社内

【氏名】 古賀 啓治

【特許出願人】

【識別番号】 000003067

【氏名又は名称】 ティーディーケイ株式会社

【代理人】

【識別番号】 100109656

【弁理士】

【氏名又は名称】 三反崎 泰司

【代理人】

【識別番号】 100098785

【弁理士】

【氏名又は名称】 藤島 洋一郎

## 【手数料の表示】

【予納台帳番号】 019482

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 磁気メモリデバイスおよび書込電流駆動回路、並びに書込電流駆動方法

【特許請求の範囲】

【請求項 1】 外部磁界によって磁化方向が変化する感磁層を含んで構成された磁気抵抗効果素子と、

前記感磁層に外部磁界を印加するために書き込み電流が供給される書込線と、

前記書込線における書き込み電流の方向を制御する電流方向制御部、および、前記書込線における書き込み電流の量を一定値に制御する電流量制御部を含んで構成された書込電流駆動回路と

を備えたことを特徴とする磁気メモリデバイス。

【請求項 2】 前記電流方向制御部は、電流供給対象である書込線の両端のうち、いずれか一方を書き込み電流の流入側、他方を流出側として選択することにより、書き込み電流の方向を制御する

ことを特徴とする請求項 1 に記載の磁気メモリデバイス。

【請求項 3】 前記電流方向制御部は、入力された書き込み用のデータ信号に応じて前記書き込み電流の方向を双方向に制御する

ことを特徴とする請求項 2 に記載の磁気メモリデバイス。

【請求項 4】 前記書込線は、前記書込電流駆動回路に両端が接続されていることを特徴とする請求項 2 または請求項 3 のいずれか一項に記載の磁気メモリデバイス。

【請求項 5】 前記書込線は、U 字状となっている

ことを特徴とする請求項 4 に記載の磁気メモリデバイス。

【請求項 6】 前記電流方向制御部は、

前記書込線の両端に対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第 1 および第 2 の電流スイッチ、を含んで構成される第 1 の差動スイッチ対と、

それぞれが前記第 1 および第 2 の電流スイッチに対応して設けられ、互いに反対の開閉状態となるように動作する第 3 および第 4 の電流スイッチ、を含んで構

成される第 2 の差動スイッチ対とを含み、

前記第 1 の差動スイッチ対は、前記書込線の両端のいずれか一方を、書き込み電流の流入側として選択する機能を有し、前記第 2 の差動スイッチ対は、前記書込線の両端のうち他方を、書き込み電流の流出側として選択する機能を有することを特徴とする請求項 4 または請求項 5 に記載の磁気メモリデバイス。

【請求項 7】 前記第 1 の電流スイッチと前記第 4 の電流スイッチは、同じ開閉状態となるように動作し、

前記第 2 の電流スイッチと前記第 3 の電流スイッチは、前記第 1 および第 4 の電流スイッチとは反対の開閉状態となるように動作することを特徴とする請求項 6 に記載の磁気メモリデバイス。

【請求項 8】 前記第 1 または第 2 の差動スイッチ対の少なくとも一方は、前記データ信号に応じて開閉動作を行う

ことを特徴とする請求項 6 または請求項 7 に記載の磁気メモリデバイス。

【請求項 9】 前記書込線の両端は、それぞれ、前記第 1 の差動スイッチ対と前記第 2 の差動スイッチ対との間の 1 対の連結点に接続されている

ことを特徴とする請求項 6 ないし請求項 8 のいずれか一項に記載の磁気メモリデバイス。

【請求項 1 0】 前記電流方向制御部は、

前記第 1 の電流スイッチと前記第 4 の電流スイッチが同じ開閉状態となり、前記第 2 の電流スイッチと前記第 3 の電流スイッチが、前記第 1 および第 4 の電流スイッチとは反対の開閉状態となるように制御を行う差動制御手段を含む

ことを特徴とする請求項 6 ないし請求項 9 のいずれか一項に記載の磁気メモリデバイス。

【請求項 1 1】 前記差動制御手段は、

前記第 1 または第 2 の差動スイッチ対のうち一方の差動スイッチ対の開閉状態を検出し、この検出結果に基づいて他方の差動スイッチ対の開閉動作を制御することを特徴とする請求項 1 0 に記載の磁気メモリデバイス。

【請求項 1 2】 前記差動制御手段は、互いに反対の開閉状態となるように動作する第 5 および第 6 の電流スイッチからなる

ことを特徴とする請求項 1 0 または請求項 1 1 に記載の磁気メモリデバイス。

【請求項 1 3】 前記第 5 の電流スイッチは、前記第 3 の電流スイッチの開閉状態を検出し、前記第 3 の電流スイッチと同じ開閉状態となるように前記第 2 の電流スイッチを動作させ、

前記第 6 の電流スイッチは、前記第 4 の電流スイッチの開閉状態を検出し、前記第 4 の電流スイッチと同じ開閉状態となるように前記第 1 の電流スイッチを動作させる

ことを特徴とする請求項 1 2 に記載の磁気メモリデバイス。

【請求項 1 4】 前記第 1 ないし第 4 の電流スイッチは、それぞれ、第 1 ないし第 4 のトランジスタで構成されている

ことを特徴とする請求項 6 ないし請求項 1 1 のいずれか一項に記載の磁気メモリデバイス。

【請求項 1 5】 前記第 1 ないし第 4 の電流スイッチは、それぞれ、第 1 ないし第 4 のトランジスタで構成されている

ことを特徴とする請求項 1 2 または請求項 1 3 に記載の磁気メモリデバイス。

【請求項 1 6】 前記書込線の一端は、前記第 1 のトランジスタのエミッタ端子と前記第 3 のトランジスタのコレクタ端子とに接続され、他端は、前記第 2 のトランジスタのエミッタ端子と前記第 4 のトランジスタのコレクタ端子とに接続されている

ことを特徴とする請求項 1 4 または請求項 1 5 に記載の磁気メモリデバイス。

【請求項 1 7】 前記第 1 および第 2 のトランジスタのコレクタ端子は電源に接続されている

ことを特徴とする請求項 1 6 に記載の磁気メモリデバイス。

【請求項 1 8】 前記第 2 の差動スイッチ対の第 3 または第 4 のトランジスタの一方は、ベース端子に書き込み用のデータ信号が入力され、他方は、ベース端子に前記データ信号の反転信号が入力される

ことを特徴とする請求項 1 4 ないし請求項 1 7 のいずれか一項に記載の磁気メモリデバイス。

【請求項 1 9】 前記第 5 および第 6 の電流スイッチは、それぞれ、第 5 お

よび第 6 のトランジスタで構成されている

ことを特徴とする請求項 1 5 に記載の磁気メモリデバイス。

【請求項 2 0】 前記第 5 および第 6 のトランジスタは、それぞれ、ベース端子が前記第 3 および第 4 のトランジスタのコレクタ端子に接続され、コレクタ端子に前記第 2 および第 1 のトランジスタのベース端子が接続されている

ことを特徴とする請求項 1 9 に記載の磁気メモリデバイス。

【請求項 2 1】 前記書込電流駆動回路は、この書込電流駆動回路を動作させるためのスイッチとして機能する第 7 のトランジスタと、第 1 の電流制限用抵抗器を含み、

前記第 7 のトランジスタは、コレクタ端子に前記第 5 および第 6 のトランジスタのエミッタ端子が共通に接続され、エミッタ端子は前記第 1 の電流制限用抵抗器を介して接地に導かれている

ことを特徴とする請求項 1 9 または請求項 2 0 に記載の磁気メモリデバイス。

【請求項 2 2】 前記第 5 のトランジスタのコレクタ端子と前記第 2 のトランジスタのベース端子との接続点と電源との間、および前記第 6 のトランジスタのコレクタ端子と前記第 1 のトランジスタのベース端子との接続点と電源との間には、それぞれ第 1 および第 2 のバイアス抵抗器が設けられている

ことを特徴とする請求項 1 9 ないし請求項 2 1 のいずれか一項に記載の磁気メモリデバイス。

【請求項 2 3】 前記第 1 のトランジスタと前記第 2 のトランジスタ、前記第 3 のトランジスタと前記第 4 のトランジスタ、前記第 5 のトランジスタと前記第 6 のトランジスタ、および、前記第 1 のバイアス抵抗器と前記第 2 のバイアス抵抗器は、それぞれ、特性が揃っている

ことを特徴とする請求項 2 2 に記載の磁気メモリデバイス。

【請求項 2 4】 前記電流量制御部は、前記書込線より流出した書き込み電流の経路上に設けられている

ことを特徴とする請求項 1 ないし請求項 2 3 のいずれか一項に記載の磁気メモリデバイス。

【請求項 2 5】 前記電流量制御部は、少なくとも第 8 のトランジスタと第

2 の電流制限用抵抗器とを含み、

前記第 8 のトランジスタは、コレクタ端子が前記第 3 および第 4 のトランジスタのエミッタ端子に共通接続され、エミッタ端子が前記第 2 の電流制限用抵抗器を介して接地に導かれ、ベース端子に一定電圧が選択的に入力されるように構成されている

ことを特徴とする請求項 1 4 ないし請求項 2 4 のいずれか一項に記載の磁気メモリデバイス。

【請求項 2 6】 前記一定電圧は、前記書込電流駆動回路に対するアクティブ信号であり、前記第 8 のトランジスタは、このアクティブ信号に応じて、前記書込電流駆動回路を動作させるためのスイッチとしても機能する

ことを特徴とする請求項 2 5 に記載の磁気メモリデバイス。

【請求項 2 7】 前記書込電流駆動回路は、この書込電流駆動回路を動作させるためのスイッチとして機能する第 7 のトランジスタと、第 1 の電流制限用抵抗器を含み、前記第 7 のトランジスタは、コレクタ端子に前記第 5 および第 6 のトランジスタのエミッタ端子が共通に接続され、エミッタ端子が前記第 1 の電流制限用抵抗器を介して接地に導かれ、

前記第 5 のトランジスタのコレクタ端子と前記第 2 のトランジスタのベース端子との接続点と電源との間、および前記第 6 のトランジスタのコレクタ端子と前記第 1 のトランジスタのベース端子との接続点と電源との間には、それぞれ第 1 および第 2 のバイアス抵抗器が設けられ、

前記電流量制御部は、少なくとも第 8 のトランジスタと第 2 の電流制限用抵抗器とを含み、前記第 8 のトランジスタは、コレクタ端子が前記第 3 および第 4 のトランジスタのエミッタ端子に共通接続され、エミッタ端子が前記第 2 の電流制限用抵抗器を介して接地に導かれ、ベース端子に一定電圧が選択的に入力されるように構成されており、

前記第 1 ないし第 8 のトランジスタ、前記第 1 および第 2 のバイアス抵抗器、並びに、前記第 1 および第 2 の電流制限用抵抗器が、すべて同一の領域内に集積配置されている

ことを特徴とする請求項 1 9 に記載の磁気メモリデバイス。

【請求項 2 8】 前記磁気抵抗効果素子は、  
前記感磁層を含み、積層面に垂直な方向に電流が流れるように構成された積層体と、

前記積層体の一方の面側に、前記積層面に沿った方向を軸方向とするように配設されると共に、前記書込線によって貫かれるように構成された環状磁性層と  
を備えたことを特徴とする請求項 1 ないし請求項 2 7 のいずれか一項に記載の磁気メモリデバイス。

【請求項 2 9】 前記書込線は、複数の第 1 の書込線と、前記複数の第 1 の書込線の各々と交差するように延びる複数の第 2 の書込線とからなり、

前記第 1 および第 2 の書込線は、前記環状磁性層を貫く領域において互いに平行に延びている

ことを特徴とする請求項 2 8 に記載の磁気メモリデバイス。

【請求項 3 0】 1 つの記憶セルが、一対の前記磁気抵抗効果素子を含んで構成されている

ことを特徴とする請求項 1 ないし請求項 2 9 のいずれか一項に記載の磁気メモリデバイス。

【請求項 3 1】 前記第 1 および第 2 の書込線の双方を流れる電流に誘導される磁界によって、前記一対の磁気抵抗効果素子における各感磁層の磁化方向が互いに反平行となるように変化し、前記記憶セルに情報が記憶される

ことを特徴とする請求項 3 0 に記載の磁気メモリデバイス。

【請求項 3 2】 外部磁界によって磁化方向が変化する感磁層を含んで構成された磁気抵抗効果素子と、前記感磁層に外部磁界を印加するために書き込み電流が供給される書込線とを備えた磁気メモリデバイスに適用される書込電流駆動回路であって、

前記書込線の両端がそれぞれ接続される一対の接続端と、

前記書込線における書き込み電流の方向を制御する電流方向制御部と、

前記書込線に流される書き込み電流の量を一定値に制御する電流量制御部とを備えたことを特徴とする書込電流駆動回路。

【請求項 3 3】 前記電流方向制御部は、

前記書込線の両端に対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第1および第2の電流スイッチ、からなる第1の差動スイッチ対と、

前記第1および第2の電流スイッチに対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第3および第4の電流スイッチ、からなる第2の差動スイッチ対と、

前記第1の電流スイッチと前記第4の電流スイッチが同じ開閉状態となり、前記第2の電流スイッチと前記第3の電流スイッチが、前記第1および第4の電流スイッチとは反対の開閉状態となるように制御を行う差動制御手段と

を含むことを特徴とする請求項32に記載の書込電流駆動回路。

【請求項34】 前記第1ないし第4の電流スイッチはそれぞれ、第1ないし第4のトランジスタで構成されている

ことを特徴とする請求項33に記載の書込電流駆動回路。

【請求項35】 前記書込線の一端が前記第1のトランジスタのエミッタ端子と前記第3のトランジスタのコレクタ端子とに接続されると共に、前記書込線の他端が前記第2のトランジスタのエミッタ端子と前記第4のトランジスタのコレクタ端子とに接続されている

ことを特徴とする請求項34に記載の書込電流駆動回路。

【請求項36】 前記電流量制御部は、ベース端子に一定電圧が入力されるトランジスタと電流制限用抵抗器とを含んで構成され、前記書込線より流出した書き込み電流の経路上に設けられている

ことを特徴とする請求項32ないし請求項35のいずれか一項に記載の書込電流駆動回路。

【請求項37】 外部磁界によって磁化方向が変化する感磁層を含んで構成された磁気抵抗効果素子と、前記感磁層に外部磁界を印加するために書き込み電流が供給される書込線とを備えた磁気メモリデバイスに適用される書込電流駆動方法であって、

電流供給対象である書込線の両端のうち、いずれか一方を書き込み電流の流入側、他方を流出側として選択することにより、書き込み電流の方向を制御し、

前記書込線に対し、この書込線上を一定の電流値で流れるように制御しつつ、書き込み電流を供給する

ことを特徴とする書込電流駆動方法。

【請求項 3 8】 前記書込線の両端に対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第 1 および第 2 のトランジスタ、で構成されている第 1 の差動スイッチ対と、

前記第 1 および第 2 のトランジスタに対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第 3 および第 4 のトランジスタ、で構成されている第 2 の差動スイッチ対と、

前記第 1 のトランジスタと前記第 4 のトランジスタが同じ開閉状態となり、前記第 2 のトランジスタと前記第 3 のトランジスタが、前記第 1 および第 4 のトランジスタとは反対の開閉状態となるように制御を行う差動制御手段とを設け、

さらに、前記書込線の一端を前記第 1 のトランジスタのエミッタ端子と前記第 3 のトランジスタのコレクタ端子に接続すると共に、前記書込線他端を前記第 2 のトランジスタのエミッタ端子と前記第 4 のトランジスタのコレクタ端子とに接続し、

前記書込線に流す書き込み電流の方向を双方向に切り換えると共に、

前記書込線より流出した書き込み電流の経路上に、ベース端子に一定電圧が入力されるトランジスタと電流制限用抵抗器とを含んで構成された電流量制御部を設け、

前記書込線における書き込み電流の量を一定値に制御する

ことを特徴とする請求項 3 7 に記載の書込電流駆動方法。

【請求項 3 9】 前記書込線に書き込み電流を流す方向に応じて、前記第 3 および第 4 のトランジスタを開閉動作させることにより、前記第 2 の差動スイッチ対が、前記書込線の一端を書き込み電流の流出側として選択し、

前記差動制御手段が、前記第 2 の差動スイッチ対の各トランジスタにおける開閉状態を検出し、前記第 3 のトランジスタと同じ開閉状態となるよう前記第 2 のトランジスタを動作制御すると共に、前記第 4 のトランジスタと同じ開閉状態となるよう前記第 1 のトランジスタを動作制御し、



前記第 1 および第 2 のトランジスタが開閉動作することにより、前記第 1 の差動スイッチ対が前記書込線の他端を書き込み電流の流入側として選択する

ことを特徴とする請求項 3 8 に記載の書込電流駆動方法。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は、強磁性体を含む磁気抵抗効果素子を用いて構成され、この強磁性体の磁化方向を制御することにより情報を書き込み、記憶する磁気メモリデバイス、および磁気メモリデバイスに適用される書込電流駆動回路、並びに書込電流駆動方法に関する。

##### 【0 0 0 2】

#### 【従来の技術】

従来より、コンピュータやモバイル通信機器などの情報処理装置に用いられる汎用メモリとして、DRAMやSRAMなどの揮発性メモリが使用されている。揮発性メモリは、常に電流を供給しておかなければ全ての情報が失われる。そのため、情報の記憶には不揮発性メモリを別途設ける必要があり、フラッシュEEPROMやハードディスク装置などが用いられている。これら不揮発性メモリについては、情報処理の高速化に伴い、高速化が重要な課題となっている。また、近年のいわゆるユビキタスコンピューティングを目指した情報機器開発という別の側面からも、そのキーデバイスとして高速な不揮発性メモリの開発が強く求められている。

##### 【0 0 0 3】

不揮発性メモリの高速化に有効な技術としては、MRAM (Magnetic Random Access Memory) が知られている。MRAMは、マトリクス状に配列された個々の記憶セルが磁気素子で構成されている。現在実用化されているMRAMは、巨大磁気抵抗効果 (GMR : Giant Magneto-Resistive) を利用したものである。GMRとは、互いの磁化容易軸を揃えて配設された2つの強磁性層が積層された積層体において、積層体の抵抗値が、各強磁性層の磁化方向が磁化容易軸に沿って平行な場合に最小、反平行の場合に最大となる現象である。各記憶セルは、こ

の2状態を「0」, 「1」の2値情報に対応させて情報を記憶し、情報に対応させた抵抗の違いを電流または電圧の変化として検出することによって情報を読み出す仕組みになっている。実際のGMR素子では、2つの強磁性層は非磁性層を介して積層され、磁化方向が固定されている固定層と、外部磁界により磁化方向が変化可能な自由層（感磁層）とからなる。

#### 【0004】

また、強磁性トンネル効果（TMR: Tunneling Magneto-Resistive）を利用した磁気素子では、GMR素子に比べて抵抗変化率を格段に大きくすることができる。TMRとは、極薄の絶縁層を挟んで積層された2つの強磁性層（磁化方向が固定された固定層と、磁化方向が変化可能な感磁層すなわち自由層）において、互いの磁化方向の相対角度により絶縁層を流れるトンネル電流値が変化する現象である。すなわち、磁化方向が平行である場合にトンネル電流は最大（素子の抵抗値は最小）となり、反平行の場合、トンネル電流は最小（素子の抵抗値は最大）となる。TMR素子の具体例としては、CoFe/Al oxide/CoFeの積層構造が知られるが、その抵抗変化率は40%以上にも及ぶ。また、TMR素子は抵抗が高く、MOS型電界効果トランジスタ（MOSFET: Metal-Oxide-Semiconductor Field Effect Transistor）などの半導体デバイスとのマッチングが取り易いとされている。こうした利点から、TMR-MRAMは、GMR-MRAMと比較して高出力化が容易であり、記憶容量やアクセス速度の向上が期待されている。

#### 【0005】

GMR-MRAMもTMR-MRAMも、情報の書き込みは同様の方式で行われる。すなわち、導線に電流を流して磁界を誘導し、この電流磁界によって自由層の磁化方向を変化させる。これにより、強磁性層間の相対的な磁化方向が平行または反平行となり、対応する2値情報が記憶される。

#### 【0006】

例えば、従来のTMR-MRAMは、以下のような構成となっている。図26に示したように、書込用ワード線202（および読出用ワード線203）と、書き込み／読み出し共用のビット線201とは互いに直交するように配設されてい

る。ここでは、これら書き込み用の配線を総称して書込線と呼ぶ。また、図示はしないが、その交差領域の各々には、両者に挟まれるようにTMR素子207が配設され、個々の記憶セルを構成している。図27は、TMR素子の一般的な構成を表している。このように、TMR素子207は、固定層である第1磁性層204、トンネルバリア層205、および自由層である第2磁性層206からなる積層体で構成されている。また、この積層体の一方の面側にビット線201が設けられ、他方の面側に読出ワード線203、書込ワード線202が設けられている。

#### 【0007】

このような構成のMRAMでは、ある記憶セルに情報を記憶することは、その第2磁性層206の磁化方向を情報に応じた方向に制御することに他ならない。これは、書き込み対象の記憶セルを挟むように配置されたビット線201、書込ワード線202に電流を流すことで行われる。書込線に流れる電流各々には磁界が誘導され、その合成磁界によって、第2磁性層206の磁化方向が変化する。

#### 【0008】

その際、書込線には、書込電流駆動回路（カレントドライブ）から書き込み電流が供給される。図28は、従来のMRAMに適用されるカレントドライブの構成例を示している（非特許文献1を参照）。この回路は、必要な書き込み電流値等より形状を規定したパルスを生成する部分と、書き込むべき書込線を選択し、生成パルスを送出する部分からなる。ここでは、前者には基準信号発生部211、正側増幅器213A、負側増幅器213B、電流方向選択部214、タイミングブロック216およびパルス幅制御部217が対応している。また、後者には書込線選択部219が対応している。なお、タイミングブロック216は、書き込み信号入力線215に入力されるタイミング信号をきっかけとして、時間スイッチであるパルス幅制御部217のタイミング制御を行うものである。書込線選択部219は、アドレスデコード線218に入力されるデコード信号に応じて、パルス供給先となる書込線を選択するものであり、一般には各書込線に対応した多数のスイッチング素子で構成される。この書込線選択部219には、書込線の一端が接続され、書込線のもう一端は接地されている。

## 【0 0 0 9】

この回路では、データ信号線 2 1 2 (Din) は分岐されており、それぞれの分岐先において正側増幅器 2 1 3 A, 負側増幅器 2 1 3 B により正負双方の増幅信号が生成され、その一方が電流方向選択部 2 1 4 により選択されるようになっている。また、正側増幅器 2 1 3 A, 負側増幅器 2 1 3 B には、基準信号発生部 2 1 1 より基準信号が入力されるようになっており、入力信号の大きさを基準値に調整するようになっている。データ信号は、書き込むデータを表す “H i g h” , “L o w” のデジタル信号であり、この回路部分では、例えば “H i g h” は正側増幅器 2 1 3 A で単純に増幅するが、“L o w” は負側増幅器 2 1 3 B で負電位のパルスに反転増幅する（増幅された方を選びとる）ようにし、結果として、ともに大きさは基準値である正負のパルスのいずれかを、データ信号に応じて生成するようになっている。このパルスは、パルス幅制御部 2 1 7 において、必要な電流量に応じた所定のパルス幅に調整され、書込用パルスとなる。書込用パルスは、書込線選択部 2 1 9 を介し、デコード信号に応じた書込線に供給される。このとき、書込線に正の書込用パルスを印加すると、書込線を接地側に向かう電流が流れ、負の書込用パルスを印加すると、逆に接地側からパルス供給端側へ向かう電流が流れる。

## 【0 0 1 0】

このように、従来では、まずパルス形状とその符号を調整することによって、書込線の所定方向に所望の電流量を供給するような書込用パルスを生成しておき、これを書込線に供給するようになっていた。図 2 9 (A) は、こうした従来のカレントドライブを機能的に表現している。定電流制御部 3 0 0 とは、基準信号発生部 2 1 1 を始めとする、上記カレントドライブにおいて書き込み電流量を一定値に制御する機能を有する回路要素を代表したものである（通常、基準信号発生部 2 1 1 だけでは、パルスの高さを精度よく制御することはできないので、その他に、パルス電圧値を微調整する回路が付加されている）。

## 【0 0 1 1】

## 【非特許文献 1】

ISSCC 2000 Digest paper TA7.2

## 【0012】

## 【発明が解決しようとする課題】

しかしながら、実際のMRAMでは、書込線自体の抵抗値にばらつきが生じている。抵抗ばらつきは、それぞれの書込線の位置に応じて配線長が異なる場合や形状が異なる場合に、また製造誤差等によって生じる。これに対し、従来のカレントドライブは、一旦書込線に供給した書き込み電流について何ら制御するようになってはいないため、実際に流れる電流量が、その抵抗値に応じて書込線ごとに異なってしまうという問題があった。すなわち、従来のカレントドライブは、書込用パルスをいかに高精度に制御できたとしても、書込線ごとの抵抗値に応じて供給電流量を調整する機能が備わっていないことから、抵抗ばらつきの影響を除去することができず、書込線に安定して定電流を供給することが難しかったのである。

## 【0013】

MRAMでは、書き込みのための磁界を、書き込み電流に誘導される電流磁界としていることから、素子における書き込み状態（磁化状態）は、磁界の強さ、すなわち書き込み電流の大きさによって決まってくる。そのため、このように書き込み電流の値が一定していない場合には、情報を安定した状態で記憶させたり、確実に読み出したりすることができず、動作安定性に支障をきたすことが考えられる。

## 【0014】

なお、書込線の抵抗値に応じて供給電流量を制御する手法としては、例えば、書き込み電流の下流にて電流値を一定とする制御を行い、書込線全体に流れる電流量を一定とすることが考えられる。つまり、図29（B）のように定電流制御部300を、書込線の接地側に設ける場合である。ところが、通常の定電流回路は、トランジスタやダイオードなどから構成されるバンドギャップリファレンスを使用した回路であるから、この場合には電流方向が一方向に限定されることになり、一本の書込線に対し双方向に電流を流すことができなくなってしまう。この書き込み回路系で双方向に電流を流そうとするならば、図29（C）のように2本の書込線を束ね、回路系を対称に配置しなければならないが、回路構造も制

御も複雑になるために、現実的ではない。書き込み電流を双方向制御することは MRAM のカレントドライブにおいては必須の条件とあってよく、書き込み電流を一定値に制御するという課題も、この条件を満たしたうえで解決するものでなければならない。しかし、いまみたように、これらを両立する回路を実現することは容易ではなく、有効な解決手法は未だ提案されていなかった。

#### 【0015】

また、従来のカレントドライブは、通常、CMOS (Complementary MOS) で組まれている。CMOS の特徴はデジタル的なスイッチング動作にあり、電流方向選択部 214 などのロジック部、書込線選択部 219 などのスイッチ類にはよく適合するが、定電流制御部 300 に相当する回路部分はアナログ回路であるため、CMOS で構築するのは難しかった。そもそも MOSFET は、本質的に電圧制御素子である。よって、CMOS 回路である従来のカレントドライブでも、直接の制御対象は電圧であり、電流値の制御は、入力パルスの電圧値と幅を制御することで間接的に制御するほかなく、本来の意味での電流制御がなされてはいなかった。また、MOS 素子は、ゲート酸化膜の膜厚等の製造ばらつきに起因する特性ばらつきが比較的大きなことで知られている。そのため、特性ばらつきの影響により、書込線ごとにパルス形状がばらつくおそれがあった。

#### 【0016】

さらに、CMOS が多用されることで、カレントドライブの回路規模が大きくなるという問題があった。そのうえ、定電流制御部 300 に相当する部分には、バンドギャップリファレンスを用いた回路、例えばカレントミラー回路などが組み込まれており、従来のカレントドライブは、メモリチップ上におけるその面積が無視できないほど大きかった。また、こうした回路構成自体も複雑であるために、簡素化する手法が求められていた。

#### 【0017】

本発明はかかる問題点に鑑みてなされたもので、その目的は、書込線に、電流量一定の書き込み電流を、流す方向を双方向に切り換えて供給することを可能とする磁気メモリデバイスおよび書込電流駆動回路、並びに書込電流駆動方法を提供することにある。

## 【0018】

## 【課題を解決するための手段】

本発明の磁気メモリデバイスは、外部磁界によって磁化方向が変化する感磁層を含んで構成された磁気抵抗効果素子と、感磁層に外部磁界を印加するために書き込み電流が供給される書込線と、書込線における書き込み電流の方向を制御する電流方向制御部、および、書込線における書き込み電流の量を一定値に制御する電流量制御部を含んで構成された書込電流駆動回路とを備えたものである。

## 【0019】

この磁気メモリデバイスでは、書込電流駆動回路が、書込線に書き込み電流を供給する。その際、書込線における書き込み電流の方向が、電流方向制御部によって制御され、なおかつ、書込線における書き込み電流の大きさが、電流量制御部によって常に一定となるよう制御される。なお、本発明においていう「書き込み電流の量を一定値に制御する」とは、書込線に流入する前、または流入端における書き込み電流量を制御対象としたものではなく、書き込み電流の大きさを、書込線の一端に流入してから他端から流出するまで、書込線全体にわたって一定値とするような定電流制御を意味している。

## 【0020】

電流方向制御部は、電流供給対象である書込線の両端のうち、いずれか一方を書き込み電流の流入側、他方を流出側として選択することにより書き込み電流の方向を制御することが好ましい。この電流方向制御部では、電流方向を常にどちらかの一方向に制御することも可能だが、電流の流入口、流出口を書込線の両端で切り換えることにより双方向に電流を流すこともできる。

## 【0021】

さらに、電流方向制御部は、入力された書き込み用のデータ信号に応じて書き込み電流の方向を双方向に制御することが好ましい。すなわち、書き込み電流の方向は、データ信号に応じて双方向に切り換えられ、こうした書き込み電流を用いて、感磁層の磁化をデータ信号に応じた方向に反転させることにより、データ信号に対応した情報の書き込みが行われる。なお、ここでいう「情報」とは、一般に磁気メモリデバイスへの入出力信号において「0」、「1」あるいは電流値

や電圧値による「High」, 「Low」等で表される2値情報をいい、情報に対応した電流値または電圧値そのものをデータ信号という。

#### 【0022】

また、書込線は、書込電流駆動回路に両端が接続されていることが好ましい。電流方向制御部による、書込線の両端のうち的一方を電流流入端、他方を流出側を選択する制御は、書込電流駆動回路に実際に接続された書込線の両端に対して具現化される。その場合、書込線自体がU字状となっていれば、両端が近接して配置される。なお、本発明の磁気メモリデバイスにおいて「接続され」とは、少なくとも電氣的に接続された状態を指し、物理的に直接に接続されていることを必ずしも条件としない。

#### 【0023】

より具体的には、電流方向制御部は、書込線の両端に対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第1および第2の電流スイッチ、を含んで構成される第1の差動スイッチ対と、それぞれが第1および第2の電流スイッチに対応して設けられ、互いに反対の開閉状態となるように動作する第3および第4の電流スイッチ、を含んで構成される第2の差動スイッチ対とを含んでいることが好ましい。この第1の差動スイッチ対は、書込線の両端のいずれか一方を書き込み電流の流入側として選択する機能を有するものであり、第2の差動スイッチ対は、書込線の両端のうち他方を書き込み電流の流出側として選択する機能を有するものである。なお、一般的なスイッチング素子における開閉状態（オン／オフ状態）とは、導通状態（あるいは流れる電流量が閾値以上の状態）としてのオン状態に対し、ほとんど電流を流さない実質的な遮断状態（あるいは流れる電流量が閾値以下の状態）をオフ状態とする場合を想定している。この場合のオン状態とオフ状態は、それぞれ定常的に規定されたものであり、各々の状態をデジタル的に判別可能である。本発明における電流スイッチの「開閉状態（オン／オフ状態）」は、このような2状態を含むが、それだけにはとどまらず、差動スイッチ対として対をなす電流スイッチにて差動動作時に生じる相対的な2状態、より多くの電流を流す方をオン状態、より少ない電流しか流せない方をオフ状態とする場合をも含んだ概念である。



## 【0024】

この電流方向制御部では、第1の差動スイッチ対の第1の電流スイッチと第2の電流スイッチは、互いに反対の開閉状態（オン／オフ状態）となる。書込線の両端のうち、対応する電流スイッチがオン状態の側は導通し、電流が流れることが許容されるが、対応する電流スイッチがオフ状態の側は遮断され、電流が流れなくなる。こうして、書込線の両端のうち、第1の差動スイッチ対のオン状態の電流スイッチに制御される側が、書き込み電流流入側として選ばれる。また、第2の差動スイッチ対では、第3の電流スイッチが、第1の電流スイッチ同様、書込線の一端に対応して設けられ、第4の電流スイッチが、第2の電流スイッチ同様、書込線の他端に対応して設けられている。第3の電流スイッチと第4の電流スイッチは、互いに反対の動作状態となり、第2の差動スイッチ対は第1の差動スイッチ対と同様に作用する。これにより、書込線の両端のうち、第2の差動スイッチ対のオン状態の電流スイッチに制御される側が、書き込み電流流出側として選ばれる。

## 【0025】

電流方向制御部がこのような構成をとる場合に、第1の電流スイッチと第4の電流スイッチは、同じ開閉状態となるように動作し、第2の電流スイッチと第3の電流スイッチは、第1および第4の電流スイッチとは反対の開閉状態となるように動作することが望ましい。これにより、第1の差動スイッチ対と第2の差動スイッチ対はそれぞれ、書込線の両端のうち互いに異なる側を流入側と流出側に選択することになり、書込線に対して書き込み電流が流れる向きが決定される。なお、本発明において意味するところの「同じ開閉状態」とは、電流方向制御部等が十分に機能するようにスイッチの主動作としての開閉が一致している状態であり、スイッチ、またはスイッチに接続された素子の呼応時間等に起因した開閉のタイミング等が多少ずれている関係も含むものである。

## 【0026】

また、第1または第2の差動スイッチ対の少なくとも一方は、入力されたデータ信号に応じて開閉動作を行うことが望ましい。この構成により、書き込み電流の向きがデータ信号値により直接制御される。さらに、書込線の両端は、それぞ

れ、第1の差動スイッチ対と第2の差動スイッチ対との間の1対の連結点に接続されていることが好ましい。この場合の電流方向制御部は、書込線の一端および他端が第1および第2の差動スイッチ対の双方に、両者間の1対の連結点で接続されるという具体的構成を有するものとなる。なお、一对の連結点は、例えば、第1の電流スイッチと第3の電流スイッチとの間の連結点、および、第2の電流スイッチと第4の電流スイッチとの間の連結点である。

#### 【0027】

さらに、電流方向制御部は、第1の電流スイッチと第4の電流スイッチが同じ開閉状態となり、第2の電流スイッチと第3の電流スイッチが第1および第4の電流スイッチとは反対の開閉状態となるように制御を行う差動制御手段を含むことが好ましい。この電流方向制御部では、差動制御手段により各電流スイッチが動作制御され、第1および第2の差動スイッチ対が適正に駆動される。

#### 【0028】

差動制御手段は、第1または第2の差動スイッチ対のうち一方の差動スイッチ対の開閉状態を検出し、この検出結果に基づいて他方の差動スイッチ対の開閉動作を制御することが望ましい。このとき、一方の差動スイッチ対の動作状態に応じて他方の差動スイッチ対が動作制御され、第1および第2の差動スイッチ対が、互いに関連づけられて駆動される。

#### 【0029】

このような差動制御手段は、互いに反対の開閉状態となるように動作する第5および第6の電流スイッチからなるものとすれば、最も簡素な構成で機能を発揮でき、好ましい。より具体的には、第5の電流スイッチが、第3の電流スイッチの開閉状態を検出し、第3の電流スイッチと同じ開閉状態となるように第2の電流スイッチを動作させ、第6の電流スイッチが、第4の電流スイッチの開閉状態を検出し、第4の電流スイッチと同じ開閉状態となるように第1の電流スイッチを動作させることが好ましい。第1の差動スイッチ対と第2の差動スイッチ対の間には、常に同じ開閉状態となる電流スイッチが2組存在する。すなわち、(第2の電流スイッチ、第3の電流スイッチ)の組と、(第1の電流スイッチ、第4の電流スイッチ)の組である。これら2組は、第5、第6の電流スイッチにより

各組ごとに動作制御され、互いに反対の開閉状態となる。

#### 【0030】

さらに、電流方向制御部の具体的構成としては、第1および第2の差動スイッチ対の第1ないし第4の電流スイッチが、それぞれ、第1ないし第4のトランジスタで構成されていることが好ましい。トランジスタには、バイポーラトランジスタやMOSFET等があるが、そのいずれであっても構わない。

#### 【0031】

この場合に、各電流スイッチと書込線との対応関係は、書込線の一端が第1のトランジスタのエミッタ端子と第3のトランジスタのコレクタ端子とに接続され、他端が第2のトランジスタのエミッタ端子と第4のトランジスタのコレクタ端子とに接続されることによって具体化される。また、このような電流方向制御部は、各トランジスタによって、さらに次のように構成することが好ましい。例えば、第1および第2のトランジスタのコレクタ端子が電源に接続されていてもよい。電源と書込線とが、第1および第2のトランジスタを介して接続されることになり、電源電流は、第1および第2のトランジスタのスイッチングに応じ、導通側から書込線に供給される。ここでいう「電源」とは、回路動作に必要な電流ないし電圧の供給源であり、磁気メモリデバイスの内部電源ラインを意味する。また、第2の差動スイッチ対の第3または第4のトランジスタの一方は、ベース端子に書き込み用のデータ信号が入力され、他方は、ベース端子にデータ信号の反転信号が入力されるようにしてもよい。ここでいう「反転信号」とは、データ信号とは反対の論理値をとる信号である。この場合には、第3および第4のトランジスタは、データ信号に基づいて駆動され、書き込む情報に対応した方向の電流を流すための電流流出端を協働して選択する。

#### 【0032】

さらに、電流方向制御部が、第1ないし第4のトランジスタで構成されており、第5および第6の電流スイッチからなる差動制御手段を含んでいる場合には、これら第5および第6の電流スイッチが、それぞれ、第5および第6のトランジスタで構成されていることが好ましい。

#### 【0033】

そのうえで、第5および第6のトランジスタは、それぞれ、ベース端子が第3および第4のトランジスタのコレクタ端子に接続され、コレクタ端子に第2および第1のトランジスタのベース端子が接続されていることが好ましい。第5のトランジスタは、第3のトランジスタのコレクタ端子における電位がベース入力され、この電位に応じた動作をする。この第5のトランジスタのコレクタ端子における電位は第2のトランジスタにベース入力され、第2のトランジスタが、この電位に応じた動作をする。同様に、第6のトランジスタは、第4のトランジスタのコレクタ端子における電位がベース入力され、この電位に応じた動作をする。この第6のトランジスタのコレクタ端子における電位は第1のトランジスタにベース入力され、第1のトランジスタが、この電位に応じた動作をする。

#### 【0034】

なお、第5および第6のトランジスタは、具体的には次のように接続されることが好ましい。まず、書込電流駆動回路が、この書込電流駆動回路を動作させるためのスイッチとして機能する第7のトランジスタと、第1の電流制限用抵抗器とを含み、第7のトランジスタは、コレクタ端子に第5および第6のトランジスタのエミッタ端子が共通に接続され、エミッタ端子は第1の電流制限用抵抗器を介して接地に導かれているようにしてもよい。また、第5のトランジスタのコレクタ端子と第2のトランジスタのベース端子との接続点と電源との間、および第6のトランジスタのコレクタ端子と第1のトランジスタのベース端子との接続点と電源との間には、それぞれ第1および第2のバイアス抵抗器が設けられているようにしてもよい。こうした構成をとることにより、第5および第6のトランジスタ（差動制御手段）からなる回路部分は、第1ないし第4のトランジスタ（第1および第2の差動スイッチ対）に対し独立した電流経路を有する差動増幅回路として構成される。

#### 【0035】

書込電流駆動回路が、以上の第1ないし第6のトランジスタ、第1および第2のバイアス抵抗器を備えた場合に、第1のトランジスタと第2のトランジスタ、第3のトランジスタと第4のトランジスタ、第5のトランジスタと第6のトランジスタ、および、第1のバイアス抵抗器と第2のバイアス抵抗器は、それぞれ、

特性が揃っていることが望ましい。ここで、「特性が揃っている」とは、対をなす素子ごとに、電気的特性が略等しいことを意味している。これら対をなす素子同士の特性が揃っていると、書込電流駆動回路では、全体として適正な差動動作が行われる。

#### 【0036】

また、本発明の磁気メモリデバイスでは、書込電流駆動回路の電流量制御部は、書込線より流出した書き込み電流の経路上に設けられていることが好ましい。これにより、書込線に流れる時点での書き込み電流が、必ず定電流制御を受けるようになる。

#### 【0037】

この電流量制御部は、少なくとも第8のトランジスタと第2の電流制限用抵抗器とを含み、第8のトランジスタは、コレクタ端子が第3および第4のトランジスタのエミッタ端子に共通接続され、エミッタ端子が第2の電流制限用抵抗器を介して接地に導かれ、ベース端子は一定電圧が選択的に入力されるように構成することで具現化することができる。これにより、電流量制御部は、書込線の両端で共用され、この1つの回路で、書込線の両端のいずれが電流流出側となっても流出電流の大きさを接地側から規定するように働く。なお、第8のトランジスタは、電流規定機能に加えて、書込電流駆動回路を動作させるためのスイッチとしても機能するものとして用いることができる。すなわち、第8のトランジスタのベース端子には、書込電流駆動回路に対するアクティブ信号が一定電圧で入力される。

#### 【0038】

なお、本発明の磁気メモリデバイスにおいては、書込電流駆動回路を構成する第1ないし第8のトランジスタ、第1および第2のバイアス抵抗器、第1および第2の電流制限用抵抗器が、同一の領域内に集積配置されていることが望ましい。これらの素子の各々は、近接して配置されることで、駆動中の温度変化がほぼ等しくなり、予め電気的特性を略等しく揃えられた素子同士では、互いの特性値にずれが生じることが防止される。すなわち、特性上対をなす素子同士は、同様の特性で動作し、さらに差動対である素子同士では、適正な差動出力が得られる

ようになる。

#### 【0039】

本発明の磁気メモリデバイスにおける磁気抵抗効果素子は、例えば、感磁層を含み、積層面に垂直な方向に電流が流れるように構成された積層体と、積層体の一方の面側に、積層面に沿った方向を軸方向とするように配設されると共に、書込線によって貫かれるように構成された環状磁性層とを備えたものである。このときの「外部磁界」は、書込線に流れる電流によって生ずる磁界のほか、環状磁性層に生ずる還流磁界を意味している。また、「環状磁性層」の「環状」とは、少なくとも内部を貫通する書込線からみたときに、それぞれの周囲を磁氣的かつ電氣的に連続して完全に取り囲み、書込線を横切る方向の断面が閉じている状態を示している。よって、環状磁性層は、磁氣的かつ電氣的に連続である限りにおいて絶縁体が含有されることを許容し、製造過程において発生する程度の酸化膜を含んでいてもよい。「軸方向」とは、この環状磁性層単体に注目したときの開口方向、すなわち内部を貫通する書込線の延在方向を指す。さらに、「積層体の一方の面側に、…配設され」とは、環状磁性層が積層体の一方の面の側に積層体とは別体として配設される場合のほか、環状磁性層が積層体の一部を含むように配設される場合をも含む、という趣旨である。このような磁気抵抗効果素子は、書込線に電流を流すことによって環状磁性層に閉磁路を形成する。これにより、感磁層の磁化反転が効率よく行われる。

#### 【0040】

磁気抵抗効果素子がこのような構成の場合には、書込線を、複数の第1の書込線および複数の第1の書込線の各々と交差するように延びる複数の第2の書込線からなるものとし、第1および第2の書込線が、環状磁性層を貫く領域において互いに平行に延びているように配設することが好ましい。磁気抵抗効果素子は、第1および第2の書込線の平行部分、すなわち環状磁性層の領域において同方向に電流が流れるときに選択され、情報が書き込まれる。その際、第1および第2の書込線によって生じる誘導磁界も、同方向に強め合うように生じる。

#### 【0041】

また、本発明の磁気メモリデバイスは、1つの記憶セルが、一対の磁気抵抗効

果素子を含んで構成されていてもよい。単独で1単位情報を記憶することが可能な磁気抵抗効果素子を2つ用いて、1つの単位情報が記憶される。

#### 【0042】

この磁気メモリデバイスは、さらに、第1および第2の書込線の双方を流れる電流に誘導される磁界によって、一对の磁気抵抗効果素子における各感磁層の磁化方向が互いに反平行となるように変化し、記憶セルに情報が記憶されるものであることが好ましい。本発明における「磁化方向が互いに反平行」とは、互いの磁化方向、すなわち、磁性層内の平均磁化の方向のなす角度が厳密に180度である場合のほか、製造上生ずる誤差や完全に単軸化されなかったが故に生じる程度の誤差等に起因して互いの磁化方向のなす角度が180度から所定角度だけ外れている場合も含む。この磁気メモリデバイスでは、一对の磁気抵抗効果素子における双方の感磁層の磁化は、互いに向き合うか、反対向きかの2状態のいずれかを取り、それに2値情報が対応する。

#### 【0043】

本発明の書込電流駆動回路は、外部磁界によって磁化方向が変化する感磁層を含んで構成された磁気抵抗効果素子と、感磁層に外部磁界を印加するために書き込み電流が供給される書込線とを備えた磁気メモリデバイスに適用される書込電流駆動回路であって、書込線の両端がそれぞれ接続される一对の接続端と、書込線における書き込み電流の方向を制御する電流方向制御部と、書込線に流される書き込み電流の量を一定値に制御する電流量制御部とを備えたものである。この書込電流駆動回路は、本発明の磁気メモリデバイスが備えたものと同様の構成となっている。

#### 【0044】

この書込電流駆動回路は、電流方向制御部が、書込線の両端に対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第1および第2の電流スイッチ、からなる第1の差動スイッチ対と、第1および第2の電流スイッチに対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第3および第4の電流スイッチ、からなる第2の差動スイッチ対と、第1の電流スイッチと第4の電流スイッチが同じ開閉状態となり、第2の電流スイッチと第3の電

流スイッチが、第1および第4の電流スイッチとは反対の開閉状態となるように制御を行う差動制御手段とを含んでいることが好ましい。

#### 【0045】

このような構成の電流方向制御部では、差動制御手段により、第1および第2の差動スイッチ対の各電流スイッチは、互いに書込線の両端に関する対応関係が異なるものと同じ動作をするよう制御される。その結果、書込線の一端は、第1の差動スイッチ対の電流スイッチにより選択され、他端は、第2の差動スイッチ対の電流スイッチにより選択され、電流を流す向きが一方向に決まる。

#### 【0046】

例えば、第1ないし第4の電流スイッチは、それぞれ、第1ないし第4のトランジスタで構成される。この場合の書込電流駆動回路と書込線との具体的な接続関係は、書込線の一端が第1のトランジスタのエミッタ端子と第3のトランジスタのコレクタ端子とに接続されると共に、書込線他端が第2のトランジスタのエミッタ端子と第4のトランジスタのコレクタ端子とに接続されているものとすることができる。

#### 【0047】

さらに、本発明の書込電流駆動回路においては、電流量制御部の具体的構成を、ベース端子に一定電圧が入力されるトランジスタと電流制限用抵抗器とを含んで構成され、書込線より流出した書き込み電流の経路上に設けられているものとすることができる。

#### 【0048】

本発明の書込電流駆動方法は、外部磁界によって磁化方向が変化する感磁層を含んで構成された磁気抵抗効果素子と、感磁層に外部磁界を印加するために書き込み電流が供給される書込線とを備えた磁気メモリデバイスに適用される書込電流駆動方法であって、電流供給対象である書込線の両端のうち、いずれか一方を書き込み電流の流入側、他方を流出側として選択することにより、書き込み電流の方向を制御し、書込線に対し、この書込線上を一定の電流値で流れるように制御しつつ、書き込み電流を供給するものである。本発明の書込電流駆動方法では、書き込み電流は、書込線上での大きさと方向とが共に制御され、書込線に供給



される。

#### 【0049】

より具体的には、書込線の両端に対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第1および第2のトランジスタ、で構成されている第1の差動スイッチ対と、第1および第2のトランジスタに対応してそれぞれ設けられ、互いに反対の開閉状態となるように動作する第3および第4のトランジスタ、で構成されている第2の差動スイッチ対と、第1のトランジスタと第4のトランジスタが同じ開閉状態となり、第2のトランジスタと第3のトランジスタが、第1および第4のトランジスタとは反対の開閉状態となるように制御を行う差動制御手段とを設け、さらに、書込線の一端を第1のトランジスタのエミッタ端子と第3のトランジスタのコレクタ端子に接続すると共に、書込線の他端を第2のトランジスタのエミッタ端子と第4のトランジスタのコレクタ端子とに接続し、書込線に流す書き込み電流の方向を双方向に切り換えると共に、書込線より流出した書き込み電流の経路上に、ベース端子に一定電圧が入力されるトランジスタと電流制限用抵抗器とを含んで構成された電流量制御部を設け、書込線における書き込み電流の量を一定値に制御することが好ましい。

#### 【0050】

この書込電流駆動方法では、書込線の両端が接続され、第1ないし第4のトランジスタで構成された第1および第2の差動スイッチ対と、その動作制御を行う差動制御手段によって、書込線における書き込み電流の方向が双方向に切り換えられる。また、書込線より流出した書き込み電流の経路上に定電流回路として構成された電流量制御部によって、書き込み電流の大きさが一定値に制御される。

#### 【0051】

さらに具体的には、書込線に書き込み電流を流す方向に応じて、第3および第4のトランジスタを開閉動作させることにより、第2の差動スイッチ対が、書込線の一端を書き込み電流の流出側として選択し、差動制御手段が、第2の差動スイッチ対の各トランジスタにおける開閉状態を検出し、第3のトランジスタと同じ開閉状態となるよう第2のトランジスタを動作制御すると共に、第4のトランジスタと同じ開閉状態となるよう第1のトランジスタを動作制御し、第1および

第2のトランジスタが開閉動作することにより、第1の差動スイッチ対が書込線  
の他端を書き込み電流の流入側として選択することが好ましい。このとき、書き  
込み電流は、書込線上を、流入側として選択された一端から、流出側として選択  
された他端へと流れる。

#### 【0052】

#### 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

#### 【0053】

図1は、本発明の一実施の形態に係る磁気メモリデバイスの全体の構成を示し  
た図である。この磁気メモリデバイスは、いわゆる半導体メモリチップとして具  
現化されるMRAMであり、アドレスバッファ101、データバッファ102、  
制御ロジック部103、記憶セル群104、Y方向駆動回路部106、およびX  
方向駆動回路部108を主要な構成要素としている。

#### 【0054】

記憶セル群104は、全体としてマトリクスを構成するよう、多数の記憶セル  
12がワード線方向（X方向）、ビット線方向（Y方向）に配列したものである  
。個々の記憶セル12は、データを記憶する最小単位であり、「1」、「0」の  
ビットデータが記憶されるようになっている。なお、ここでは、記憶セル群10  
4における記憶セル12の各列をワード列X<sub>n</sub>、各行をビット列Y<sub>n</sub>と呼ぶ。

#### 【0055】

Y方向駆動回路部106は、Y方向アドレスデコーダ106A、読み出しのため  
のセンスアンプ106B、書き込みのためのY方向カレントドライブ106C  
から構成され、各々が記憶セル群104に対し、記憶セル12のビット列Y<sub>n</sub>（  
Y<sub>1</sub>、Y<sub>2</sub>、…）ごとに接続されている。

#### 【0056】

X方向駆動回路部108は、X方向アドレスデコーダ108A、読み出しのため  
の定電流回路108B、書き込みのためのX方向カレントドライブ108Cか  
ら構成され、各々が記憶セル群104に対し、記憶セル12のワード列X<sub>n</sub>（X  
<sub>1</sub>、X<sub>2</sub>、…）ごとに接続されている。したがって、例えば、ある一つの記憶セ

ル 12 は、図示したように、X 方向アドレスデコーダ 108A、Y 方向アドレスデコーダ 106A から入力されるワード方向およびビット方向のアドレス ( $X_n$ ,  $Y_n$ ) によって一意に選択される。

#### 【0057】

アドレスバッファ 101 は、外部アドレス入力端子 A0 ~ A20 を備えると共に、アドレス線 105, 107 を介して Y 方向アドレスデコーダ 106A、X 方向アドレスデコーダ 108A に接続されている。このアドレスバッファ 101 は、外部アドレス入力端子 A0 ~ A20 から記憶セル 12 を選択するための選択信号を取り込み、内部バッファ増幅器においてアドレスデコーダ 106A, 108A で必要な電圧レベルまで増幅する機能を有している。また、増幅した選択信号を、記憶セル 12 のワード列方向 (X 方向), ビット列方向 (Y 方向) の 2 つの選択信号に分け、アドレスデコーダ 106A, 108A のそれぞれに入力するようになっている。なお、磁気メモリデバイスが記憶セル群 104 を複数有している場合、アドレスバッファ 101 には、複数の記憶セル群 104 から 1 つの記憶セル群 104 を選択するためのアドレス信号もまた入力されるようになっている。

#### 【0058】

データバッファ 102 は、外部とデジタルデータ信号のやり取りを行うための外部データ端子 D0 ~ D7 を備えると共に、制御ロジック部 103 と制御信号線 113 により接続されている。データバッファ 102 は、入力バッファ 102A および出力バッファ 102B からなり、それぞれ、制御ロジック部 103 からの制御信号によって動作するようになっている。入力バッファ 102A は、書き込み用データバス 110, 111 を介してそれぞれ Y 方向カレントドライブ 106C, X 方向カレントドライブ 108C に接続されており、メモリ書き込み時に外部データ端子 D0 ~ D7 からデータ信号を取り込み、このデータ信号を内部バッファ増幅器で必要とされる電圧レベルまで増幅し、カレントドライブ 106C, 108C それぞれに出力する機能を有している。出力バッファ 102B は、読み出し用データバス 112 を介してセンスアンプ 106B に接続されており、内部バッファ増幅器を用いることにより、メモリ読み出し時にセンスアンプ 106B より入力される読み出しデータ信号を、低インピーダンスで外部データ端子 D0

～D7 に出力する機能を有している。

#### 【0 0 5 9】

制御ロジック部 1 0 3 は、入力端子 C S、入力端子 W E を備え、データバッファ 1 0 2 に制御信号線 1 1 3 で接続されている。制御ロジック部 1 0 3 は、記憶セル群 1 0 4 に対する動作制御を行うものであり、入力端子 C S からは、磁気メモリデバイスの書き込み／読み出し動作をアクティブにするか否かの信号（チップセレクト；C S）が入力される。また、入力端子 W E からは、書き込み／読み出しを切り替えるための書き込み許可信号（ライトイネーブル；W E）が入力される。この制御ロジック部 1 0 3 は、入力端子 C S、入力端子 W E より取り込んだ信号電圧を、内部バッファ増幅器により駆動回路部 1 0 6、1 0 8 にて必要な電圧レベルまで増幅する機能を有すると共に、増幅後の信号を駆動回路部 1 0 6、1 0 8 のそれぞれに送出するようになっている。

#### 【0 0 6 0】

なお、この磁気メモリデバイスの要部の具体的配置は、例えば、図 2 のようなものである。同図の最外枠はダイ切り出し線を示している。シリコンチップ中央の広い領域には記憶セル群 1 0 4 が配設され、その周囲のわずかな領域に、駆動回路部 1 0 6、1 0 8 等の記憶セル群 1 0 4 を駆動するための回路が実装されている。これらの回路は、ボンディングパッド 1 2 1 を介してデバイス全体の制御部または外部に接続されている。また、ここでは、X 方向駆動回路部 1 0 8 は、記憶セル群 1 0 4 の左辺側に、Y 方向駆動回路部 1 0 6 は、記憶セル群 1 0 4 の上辺側に配設されている。

#### 【0 0 6 1】

##### 〔書き込み回路の構成〕

図 3 は、カレントドライブおよび記憶セルの書込線に対する位置関係を表している。記憶セル 1 2 の各々は、Y 方向に延在する複数の書込用ビット線 6 Y（6 Y1，…，6 Yn，…）と、この書込用ビット線 6 Y とそれぞれ交差するように X 方向に延在する複数の書込用ワード線 6 X（6 X1，…，6 Xn，…）のそれぞれによって X 方向カレントドライブ 1 0 8 C、Y 方向カレントドライブ 1 0 6 C の双方から電流供給を受けて、情報を書き込むようになっている。

## 【0062】

書込用ワード線 6 X と書込用ビット線 6 Y は、共に U 字状のループを描くようにして配設されている。また、書込用ワード線 6 X は、往路・復路の一方が書込用ビット線 6 Y と交差する度に曲折され、書込用ビット線 6 Y に対し平行となる部分を有している。ここでは、この平行部分の形成領域ごとに磁気抵抗効果素子が配設され、1 つの記憶セル 12 は、書込用ワード線 6 X と書込用ビット線 6 Y の各 1 本が形成する一対の平行部分のそれぞれに配設された一対の磁気抵抗効果素子 12 A、12 B（図 6 参照）によって構成されている。なお、以降の説明においては、書込用ワード線 6 X、書込用ビット線 6 Y を略称するときには、書込線 6 X、6 Y とし、X 方向、Y 方向の区別なく総称するときには、単に書込線 6 と呼ぶことにする。

## 【0063】

X 方向カレントドライブ 108 C、Y 方向カレントドライブ 106 C は、記憶セル 12 への書き込みの際に、それぞれ、書込用ワード線 6 X、書込用ビット線 6 Y に対し所定値の電流を供給するための定電流源回路である。ここでは、個々の書込用ワード線 6 X の両端は、X 方向カレントドライブ 108 C の 1 つに接続され、書込用ビット線 6 Y の両端は、Y 方向カレントドライブ 106 C の 1 つに接続されている。すなわち、書込用ワード線 6 X（6 X1，…，6 Xn，…）と X 方向カレントドライブ 108 C の配列は、記憶セル 12 のワード列 Xn に 1 対 1 に対応している。同様に、書込用ビット線 6 Y（6 Y1，…，6 Yn，…）と Y 方向カレントドライブ 106 C の配列は、記憶セル 12 のビット列 Yn に 1 対 1 に対応している。

## 【0064】

（カレントドライブの構成）

これらのカレントドライブ 108 C、106 C は、（1）書込線 6 X、6 Y に流す電流の向きを制御するスイッチとしての機能と、（2）その電流量を一定値に固定する機能とを備えたものとなっている。図 4 は、これら（1）書込線の電流方向を制御するスイッチング機能、および（2）書込線における定電流制御能に着目した、本実施の形態のカレントドライブの概念的な構成図である。

## 【0065】

(1) 電流方向の制御機能は、第1および第2の差動スイッチ対51、52、および、差動制御手段53から構成される電流方向制御部54により達成される(図4参照)。第1の差動スイッチ対51は、スイッチQ1、Q2からなり、スイッチQ1、Q2のそれぞれは、電源Vccと書込線6の端部A、Bとの間に設けられ、いずれか一方がオン状態、他方がオフ状態をとることで、端部A、Bの一方のみに電源Vccが接続され、電流が流入するように構成されている。第2の差動スイッチ対52は、スイッチQ3、Q4からなり、スイッチQ3、Q4のそれぞれは書込線6の端部A、Bと接地との間に設けられ、いずれか一方がオン状態、他方がオフ状態をとることで、端部A、Bの一方のみに接地まで導かれ、電流が流出するように構成されている。

## 【0066】

したがって、スイッチQ1とスイッチQ4が閉じ、スイッチQ2とスイッチQ3が開いている間は、書込線6に点線方向の電流が流れる。また、スイッチQ1とスイッチQ4が開き、スイッチQ2とスイッチQ3が閉じている間は、書込線6には実線方向の電流が流れる。すなわち、この場合に書込線6における電流を双方向制御するには、スイッチQ1とスイッチQ4とが同じ動作状態をとり、それとは反対の動作状態をスイッチQ2とスイッチQ3がとることが必要である。このように、第1および第2の差動スイッチ対51、52は、互いに相補的なスイッチング動作を行うことで、電流方向制御を可能とする。

## 【0067】

ここでは、こうした第1および第2の差動スイッチ対51、52の動作制御を、差動制御手段53が行うようになっている。差動制御手段53は、第1および第2の差動スイッチ対51、52のうち一方の動作状態を差動センシングし、そのセンシング結果に基づいて他方の動作を制御する方法(例えば、スイッチQ3、Q4のオン/オフ状態に応じてスイッチQ1、Q2のオン/オフを制御する)で、これら2つの差動スイッチ対51、52を協働させる。

## 【0068】

なお、差動制御手段53は、一対のスイッチング素子からなる場合が最も簡易

に構成することができる。またここでは基本的な動作を説明するため、差動制御手段53をスイッチQ5、Q6からなるものとし、これを第3の差動スイッチ対と呼ぶことにしている。具体的には、スイッチQ5、Q6は、スイッチQ3、Q4を差動センシングし、さらにその結果に基づいて、スイッチQ1、Q2を、スイッチQ2がスイッチQ3と同じオン／オフ状態、スイッチQ1がスイッチQ4と同じオン／オフ状態となるように制御するようになっている。

#### 【0069】

次に、図5に基づいて、本実施の形態のカレントドライブの機能構成を図4と対比しながら説明する。ここで、図5は、本実施の形態におけるカレントドライブの具体的構成を示したものである。X方向カレントドライブ108C、Y方向カレントドライブ106Cは、共に図示のように構成されており、トランジスタQ1～Q6は、それぞれ、図4のスイッチQ1～Q6に対応している。また、X方向カレントドライブ108CのドライブポイントA、ドライブポイントBの間に、書込用ビット線6Xの両端が接続され、Y方向カレントドライブ106CのドライブポイントA、ドライブポイントBの間には書込用ビット線6Yの両端が接続されている。

#### 【0070】

先に説明した各差動スイッチ対51～53の動作は、この具体的な回路上では、トランジスタQ3、Q5、Q2の系と、トランジスタQ4、Q6、Q1の系とで相補的に行われ、トランジスタQ5、Q6の差動センシングによって（トランジスタQ3、Q2）の組と（トランジスタQ4、Q1）の組のいずれか一方がオン状態、他方がオフ状態をとるようになっている。またさらに、トランジスタQ3、Q4は、ベース端子にデータ信号線14（Din）、リファレンス信号線15（Ref）が接続されており、書き込むべきデータに基づいてスイッチングするようになっている。すなわち、これらトランジスタQ5、Q6が、データ信号入力をきっかけに動作するトランジスタQ3、Q4のオン／オフ状態を差動センシングし、その結果に基づいて、トランジスタQ1がトランジスタQ4と、またトランジスタQ2がトランジスタQ3と同じ動作状態となるように、トランジスタQ1、Q2の動作制御を行うように構成されている。

## 【 0 0 7 1 】

一方、本実施の形態におけるカレントドライブの（２）書込線における定電流制御は、書込線 6 の接地側に設けられる電流量制御部 5 5 によって行われる（図 4 参照）。電流量制御部 5 5 は、書込線 6 よりもさらに接地側に設けられ、そこで書込線 6 から流れ出てくる電流の量を固定するようになっている。これすなわち書込線 6 における電流量であるから、書込線 6 では、その抵抗値によらず常に一定量の電流が流れることになる。なお、図 4 には、電流量制御部 5 5 を、スイッチ Q 3、Q 4 と接地の間それぞれに設けられた定電流回路として表している。これは、機能を説明するための等価回路的な表現であり、実際の回路構成では、図 5 に示したようにトランジスタ Q 3 とトランジスタ Q 4 とに共通配線されている 1 つの定電流回路であってよい。

## 【 0 0 7 2 】

図 5 において、電流量制御部 5 5 に対応する定電流回路は、トランジスタ Q 8、抵抗器 R 4、および、ワードデコード線 1 6 X（ビットデコード線 1 6 Y）に入力されるデコード信号電圧によって実現されている。すなわち、本実施の形態においては、カレントドライブ 1 0 8 C（1 0 6 C）の前段で、ワードデコード線 1 6 X（ビットデコード線 1 6 Y）に入力されるデコード信号が一定電圧、例えば 1. 5 V となるように設計されていることから、トランジスタ Q 8、抵抗器 R 4 を流れる電流量は一定となる。このように、通常の定電流回路においてはバンドギャップリファレンス素子やカレントミラー回路が担う定電圧作用を、他の構成回路に移管することもでき、その分だけ 1 つの領域に構成する回路が簡素化される。なお、本実施の形態では、トランジスタ Q 7、抵抗器 R 3 もまた定電流回路の構成をとり、トランジスタ Q 5、Q 6 の総電流を規定するようになっている。また、抵抗器 R 3、抵抗器 R 4 は、それぞれ、本発明の「第 1 の電流制限用抵抗器」、「第 2 の電流制限用抵抗器」に対応している。

## 【 0 0 7 3 】

このように、図 4、図 5 に示した構成によって、カレントドライブ 1 0 8 C、1 0 6 C は、書き込み電流に対する（１）方向制御機能、（２）定電流制御機能を兼ね備えることができ、書込線の抵抗ばらつきの影響を排除し、書込線に安定



して定電流を供給することができる。従来のカレントドライブでは、前述のように、電流量制御は書込線に供給する前段で行うほかなく、これほど完全な制御はできなかった。なお、本実施の形態のカレントドライブの構成は、従来の変形例として示した2重の回路系（図29（C））と同等とみなすことができる。その対称な機能構成を、対称な差動スイッチ対からなる1つの回路系により、一本の書込線について実現したものということができる。

#### 【0074】

以下、図5に示したカレントドライブの要素配置およびそれらの接続関係について説明する。

#### 【0075】

トランジスタQ3、Q4の各コレクタ端子と電源Vccとの間にはそれぞれ、電源Vcc側より、後段増幅用差動対として機能するトランジスタQ1、Q2のコレクターエミッタ間、トランジスタQ5、Q6のベース端子が接続され、さらに、書込用ワード線6X（または書込用ビット線6Y）の両端が引き込まれるドライブポイントA、Bが設けられている。なお、トランジスタQ1のベース端子はトランジスタQ6の、トランジスタQ2のベース端子はトランジスタQ5のコレクタ側に、たすき掛け様に接続されている。

#### 【0076】

トランジスタQ3、Q4のエミッタ端子は、共に、直列に接続されたトランジスタQ8のコレクターエミッタ間、抵抗器R4を介して接地されている。トランジスタQ8は、デコード用半導体スイッチとして機能し、抵抗器R4は電流制限機能を有している。

#### 【0077】

トランジスタQ3のベース端子には、書き込むべきデータに基づくデータ信号が入力されるデータ信号線14（Din）が接続されている。一方、トランジスタQ4のベース端子には、データ信号を反転させたりファレンス信号が入力されるリファレンス信号線15（Ref）が接続されている。なお、ここでは、各信号の入力により信号線14、15に流れる電流はそれぞれ、トランジスタQ3、Q4のベースエミッタ間にすべて流れ込むようになっており、トランジスタQ3、

Q4とトランジスタQ8とからなる回路部分が差動増幅器として動作するようになっている。さらに、このトランジスタQ3, Q4を初めとするトランジスタ対を適正に差動動作させるため、データ信号およびリファレンス信号の電圧振幅は、トランジスタQ3, Q4の共通となったエミッタの電位に対して、一方は $\phi$  (V) だけ高く、他方は同電位以下、または高くともエミッタ電位を0.2V以下の範囲内で超える程度の値とする。

#### 【0078】

トランジスタQ5, Q6それぞれのコレクタ端子は、バイアス抵抗として機能する抵抗器R1, R2 (第1, 第2のバイアス抵抗器) を介して電源Vccに接続されている。また、エミッタ端子は、共に、トランジスタQ7のコレクターエミッタ間、抵抗器R3に直列に接続され、さらに接地へと導かれている。このトランジスタQ7もまた、デコード用半導体スイッチとして機能し、抵抗器R3は電流制限機能を有している。

#### 【0079】

さらに、トランジスタQ7, Q8のベース端子には、書き込み対象の記憶セル12のアドレスデコード値が入力されるようになっている。すなわち、X方向カレントドライブ108Cの各々においては、トランジスタQ7, Q8のベース端子にワードデコード線16X (16X1, ..., 16Xn, ...) が接続されている。ワードデコード線16Xには、X方向アドレスデコーダ108Aより、記憶セル12のワード列Xnを選択するためのデコード値が入力される。Y方向カレントドライブ106Cの各々においては、トランジスタQ8, Q7のベース端子にビットデコード線16Y (16Y1, ..., 16Yn, ...) が接続されている。ビットデコード線16Yには、Y方向アドレスデコーダ106Aより、記憶セル12のビット列Ynを選択するためのデコード値が入力される。

#### 【0080】

(記憶セルの構成)

図6は、本実施の形態に係る記憶セルの構成を示す断面図である。各記憶セル12の磁気抵抗効果素子12A, 12Bは、GMRまたはTMRを利用した磁気抵抗効果素子である。ここでは、一具体例として、磁気抵抗効果素子12A, 1

2 BがTMR素子である場合について説明する。

#### 【0081】

記憶セル12は、基板10の上に左右1対の磁気抵抗効果素子12A、12Bが搭載されてなる。これらの磁気抵抗効果素子12A、12Bは、共に、第1の磁性層1、非磁性層2、第2の磁性層3が積層した積層体と、この積層体の一方の面側に積層面に沿った方向を軸方向とするように配設されると共に、書込線6X、6Y（第1、第2の書込線）によって貫かれるように構成された環状磁性層5とを含んで構成されている。第2の磁性層3と環状磁性層5は、非磁性導電層4を介して接合され、電氣的に接続されている。また、磁気抵抗効果素子12A、12Bには、積層体の上面（環状磁性層5とは反対側の面）に読出センシング用導線11が設けられ、積層体に対し、積層面に垂直方向の電流を基板10に向かって流すことができるように構成されている。

#### 【0082】

第1の磁性層1は、磁化方向の固定された強磁性層であり、第2の磁性層3は、外部磁界によって磁化方向が変化する強磁性層（感磁層）である。これらは、数nm（数10Å）と非常に薄い非磁性層2を挟んで積層されている。この積層体において、第1の磁性層1と第2の磁性層3との間に、積層面に垂直方向の電圧を印加すると、例えば第2の磁性層3の電子が非磁性層2を突き抜けて第1の磁性層1に移動してトンネル電流が流れる。すなわち、ここでの非磁性層2は、トンネルバリア層である。このトンネル電流は、非磁性層2との界面部分における第1の磁性層1のスピンと第2の磁性層3のスピンとの相対的な角度によって変化する。第1の磁性層1のスピンと第2の磁性層3のスピンとが互いに平行な場合に磁気抵抗効果素子12A（12B）の抵抗値は最小、反平行のときに最大となる。

#### 【0083】

第2の磁性層3は、書込用ワード線6X、書込用ビット線6Yによる誘導磁界によって磁化が変化するようになっている。ここで、第2の磁性層3の磁化は、誘導磁界によって反転し、これにより第1の磁性層1の磁化との相対角度が反転するようになっている。また、書き込み対象の記憶セル12の選択は、いわゆる

マトリクス駆動法によって行うため、書込用ワード線 6 X, 書込用ビット線 6 Y のいずれか一方だけではなく、これらの双方に対し電流が同方向に流れるときにのみ磁化反転が可能であるように、第 2 の磁性層 3 の磁気特性や寸法などが設定される。以上が、磁気抵抗効果素子 12 A (12 B) の基本構造である。

#### 【0084】

環状磁性層 5 は、図 6 において紙面に垂直方向の軸をもつ筒型の形状を有し、書込用ワード線 6 X, 書込用ビット線 6 Y の互いに平行な部分を内包している。図 7 は、磁気抵抗効果素子が配設される領域における書込線の配線構造を表している。書込線 6 X, 6 Y は、その交差領域では、書込用ワード線 6 X が曲折して書込用ビット線 6 Y と上下に平行となっており、この平行部分が環状磁性層 5 に内包されている。すなわち、この環状磁性層 5 の軸方向は、書込用ワード線 6 X, 書込用ビット線 6 Y の延在方向であり、軸方向を横切る断面方向において閉じた環状となっている。

#### 【0085】

ここでは、平行となった書込用ワード線 6 X, 書込用ビット線 6 Y の合成磁界を用いて第 2 の磁性層 3 の磁化を反転させるが、この誘導磁界の大きさは、書込用配線が交差する場合の合成磁界よりも大きい。そのため、書き込み動作を効率よく行うことができる。なお、書込線 6 X, 6 Y をその交差領域にて平行とするには、上記以外に、例えば図 8 のように左右に平行としてもよい。

#### 【0086】

また、環状磁性層 5 は、高透磁率磁性材料から構成され、内包する書込線 6 X, 6 Y の電流によって生じる磁束を層内部に閉じ込めることにより、第 2 の磁性層 3 の磁化方向を効率よく変化させる機能を有している。この環状磁性層 5 は、図示したように断面が閉ループを描き、発生した誘導磁界が、断面と平行な面に沿って層内を還流するようになっている。これにより、環状磁性層 5 は、外部に漏洩磁束を生じさせない電磁遮蔽効果を有している。また、ここでは、第 2 の磁性層 3 に一面で接するように構成されているために、磁界を第 2 の磁性層 3 に伝えやすく、高い磁束密度でもって近接する第 2 の磁性層 3 の磁化方向を一層効率よく変えることができるようになっている。

## 【0087】

なお、磁気抵抗効果素子 12A (12B) の各々には、読み出し電流が、読出センシング用導線 11 から積層体に流れ込み、環状磁性層 5 から基板 10 へ通り抜けて流れるようになっている。よって、トンネル電流を流す非磁性層 2 を除いた積層体の各層、および非磁性導電層 4、環状磁性層 5 には、導電性を有する材料が用いられる。第 1 の磁性層 1、第 2 の磁性層 3 には、例えば、コバルト鉄合金 (CoFe) が用いられ、その他単体のコバルト (Co)、コバルト白金合金 (CoPt)、ニッケル鉄コバルト合金 (NiFeCo) などを用いることができる。また、第 1 の磁性層 1 と第 2 の磁性層 3 は、磁化方向が互いに平行または反平行となる状態で安定化するため、互いの磁化容易軸を平行とすることが望ましい。

## 【0088】

非磁性層 2 は、トンネル抵抗等を基にその厚みが決められる。一般に、TMR 素子を用いた磁気メモリ素子では、トランジスタなどの半導体デバイスとのマッチングを図るため、トンネル抵抗は数  $10\text{ k}\Omega \cdot (\mu\text{m})^2$  程度が適当とされる。しかし、磁気メモリデバイスにおける高密度化および動作の高速度化を図るためには、トンネル抵抗は、 $10\text{ k}\Omega \cdot (\mu\text{m})^2$  以下、さらに好ましくは  $1\text{ k}\Omega \cdot (\mu\text{m})^2$  以下とすることが好ましい。そうしたトンネル抵抗値を実現するためには、非磁性層 (トンネルバリア層) 2 の厚みは  $2\text{ nm}$  以下、さらに好ましくは  $1.5\text{ nm}$  以下とすることが望ましい。ただし、非磁性層 2 の厚みをあまり薄くすると、トンネル抵抗を低減することができる一方で、第 1 の磁性層 1 および第 2 の磁性層 3 との接合界面の凹凸に起因するリーク電流が生じ、MR 比が低下してしまうおそれがある。これを防止するため、非磁性層 2 の厚みは、リーク電流が流れない程度の厚みを有する必要があり、具体的には  $0.3\text{ nm}$  以上の厚みであることが望ましい。

## 【0089】

非磁性導電層 4 は、第 2 の磁性層 3 と環状磁性層 5 とを反強磁性結合させるように機能するものであり、例えば、ルテニウム (Ru)、銅 (Cu) などが用いられる。また、環状磁性層 5 には、鉄 (Fe)、ニッケル鉄合金 (NiFe)、

Co, CoFe, NiFeCo等を用いることができる。書込線6X, 6Yによる磁界を環状磁性層5に集中させるために、環状磁性層5の透磁率はできるだけ大きいほうが好ましく、具体的には2000以上、より好ましくは6000以上である。

#### 【0090】

書込線6は、アルミニウム(Al)、銅(Cu)またはこれらの合金で構成され、絶縁膜によって互いに電氣的に絶縁されている。なお、書込線6は、タングステン(W)と上記材料の少なくとも1種からなるようにしてもよく、その他、チタン(Ti)、窒化チタン(TiN)、アルミニウム(Al)が順に積層された構造としてもよい。

#### 【0091】

なお、後の動作説明において詳述するが、記憶セル12においては、磁気抵抗効果素子12A, 12Bの一方を低抵抗、他方を高抵抗として情報を記憶する。これは、2つの磁気抵抗効果素子12A, 12Bからの出力を差動増幅して読み出すためにほかならない。よって、対をなす磁気抵抗効果素子12A, 12Bは、抵抗値、磁気抵抗変化率、および第2の磁性層3の反転磁界の大きさが等しくなるように製造される必要がある。

#### 【0092】

磁気抵抗効果素子12A, 12Bが形成される基板10の上には、エピタキシャル層9が形成され、さらにその上に導電層8および絶縁層7が形成されている。導電層8は、絶縁層7を介して互いに絶縁された導電層8A, 8Bからなる。磁気抵抗効果素子12A, 12Bは、導電層8および絶縁層7の上面に形成されるが、それぞれ、その形成領域の少なくとも一部が導電層8A, 8Bの形成領域と重なるように位置決めされる。よって、磁気抵抗効果素子12Aと磁気抵抗効果素子12Bとは、分離絶縁されている導電層8A, 8Bにそれぞれ個別に接合され、互いに電氣的に絶縁されている。すなわち、ここでは、磁気抵抗効果素子12Aと磁気抵抗効果素子12Bが、電氣的に非導通であるように配線がなされている。

#### 【0093】

また、ここでは、基板10をn型シリコンウエハとする。一般に、n型シリコンウエハにはP（燐）の不純物拡散が施されており、基板10としては、P（燐）の高濃度拡散によりn<sup>++</sup>型となっているものを用いる。これに対し、エピタキシャル層9は、P（燐）が低濃度拡散されてn<sup>-</sup>型となるようにする。また、導電層8には金属を用いる。このとき、n<sup>-</sup>型半導体であるエピタキシャル層9と、金属の導電層8とを接触させると、バンドギャップが生じてショットキーダイオードが形成される。これが、本実施の形態の読み出し回路における逆流防止用ダイオード13A、13Bである。

#### 【0094】

逆流防止用ダイオード13A、13Bは、読み出し電流が逆流し、基板10側から磁気抵抗効果素子12A、12Bを通過して流れることを防止するために設けられている。なお、磁気抵抗効果素子12A、逆流防止用ダイオード13Aと、磁気抵抗効果素子12B、逆流防止用ダイオード13Bとは、互いに絶縁された状態にある。

#### 【0095】

##### 〔読み出し回路の構成〕

図9は、記憶セル群とその読み出し回路からなる回路系の構成図である。この読み出し回路系は、記憶セル12が1対の磁気抵抗効果素子12A、12Bからなる差動増幅型である。ここでは、各記憶セル12の情報読み出しを、磁気抵抗効果素子12A、12Bそれぞれに流すセンシング電流（センス用ビットデコード線21A、21Bから磁気抵抗効果素子12A、12Bそれぞれに流入し、共通のセンス用ワードデコード線31に流出する電流）の差分値を出力として行うようになっている。

#### 【0096】

同図において、記憶セル群104のビット列Y<sub>n</sub>ごとの記憶セル12と、センスアンプ106Bを含む読み出し回路の一部が、読み出し回路の繰り返し単位であるビット方向単位読出回路80（…，80<sub>n</sub>，80<sub>n+1</sub>，…）を構成しており、ビット列方向に並列に配置されている。ビット方向単位読出回路80の各々では、センス用ビットデコード線21A、21BがY方向アドレスデコーダ106

Aにビットデコード線20 (… , 20<sub>n</sub> , 20<sub>n+1</sub> , …) を介して接続され、センスアンプ106Bが出力バッファ102Bに読み出し用データバス112を介して接続されている。なお、同図にはスペースが足りず、ビット方向単位読出回路80の全体を描くことができないため、2列で代表させて描いている。記憶セル群104についても同様で、ビット列Y<sub>n</sub> , Y<sub>n+1</sub> の2列で代表させている。

#### 【0097】

記憶セル群104には、X方向に配列されるセンス用ワードデコード線31 (以後、センスワード線と略称) と、Y方向に配列される1対のセンス用ビットデコード線21A, 21B (以後、センスビット線と略称) とによりマトリクス状の配線がなされている。個々の記憶セル12は、これらの交差位置に配設され、共通のセンスビット線21A, 21Bに並列接続されている記憶セル12がビット列Y<sub>n</sub> を構成し、共通のセンスワード線31にカスケード接続されている記憶セル12がワード列X<sub>n</sub> を構成している。1つの記憶セル12では、磁気抵抗効果素子12A, 12Bのそれぞれは、一端が読出用センシング導線11を介してセンスビット線21A, 21Bに接続され、他端が逆流防止用ダイオード13A, 13Bを介して共通のセンスワード線31に接続されている。

#### 【0098】

センスビット線21A, 21Bの一端側 (電源V<sub>cc</sub>側) には、それぞれ、電流電圧変換用抵抗器23A, 23B (以後、抵抗器23A, 23B) 、およびトランジスタ22A, 22Bのコレクターエミッタ間が直列に接続されている。このトランジスタ22A, 22Bは、ベース側にビットデコード線20が接続されており、ビットデコード線20から入力される選択信号の値 (ビットデコード値) に応じて開閉するスイッチング機能を備えている。

#### 【0099】

また、センスビット線21A, 21Bに接続された抵抗器23A, 23Bの電源V<sub>cc</sub>と反対側の端部における接続点からは、センスアンプ入力線40A, 40B (以後、入力線40A, 40B) が導出されている。ここで、抵抗器23A, 23Bは、センスアンプ106Bのバイアス抵抗として機能する。センスアンプ106Bは、ビット方向単位読出回路80につき1つ設けられ、それ自体は1対



のセンスビット線 21A, 21B の間の電位差を取り込み、この電位差を増幅する差動増幅器として構成されている。各センスアンプ 106B は、入力線 40A, 40B により対応するセンスビット線 21A, 21B に接続されると共に、すべては共通のセンスアンプ出力線 41A, 41B (以後、出力線 41A, 41B) にカスケード状に接続され、最後に読み出し用データバス 112 により出力バッファ 102B に接続されている。なお、トランジスタ 22A, 22B、抵抗器 23A, 23B、およびセンスアンプ 106B においては、対をなす素子同士の特性がよく揃っている必要がある。

#### 【0100】

センスワード線 31 の各々には、同じワード列  $X_n$  ( $X_1, X_2, \dots$ ) に配列された記憶セル 12 が接続されている (ただし、ここでは、記憶セル 12 とセンスワード線 31 との間に、逆流防止用ダイオード 13A, 13B が配設されている)。また、センスワード線 31 の接地側には、トランジスタ 33 のコレクターエミッタ間、ならびに電流制限抵抗器 34 が直列接続されている。トランジスタ 33 は、ベース端子にワード列  $X_n$  に対応するワードデコード線 30 ( $\dots, 30_n, 30_{n+1}, \dots$ ) が接続され、X 方向アドレスデコーダ 108A からベース入力される選択信号の値 (ビットデコード値) に応じて開閉するスイッチとして機能する。

#### 【0101】

また、ここでは、ダイオード 32, トランジスタ 33, 電流制限抵抗器 34 により定電流回路 108B が構成されている。定電流回路 108B は、センスワード線 31 を流れる電流を一定とする機能を有している。ダイオード 32 は、この場合、2 個のダイオードが直列に接続したものとなっている。

#### 【0102】

次に、図 10～図 12 を参照し、本実施の形態における磁気メモリデバイスの回路配置パターンについて説明する。

#### 【0103】

図 10 は、記憶セル群周辺の駆動回路部の実装の様子を表している。X 方向駆動回路部 108, Y 方向駆動回路部 106 は、記憶セル群 104 の各一辺に形成

され、それらの外周部にボンディングパッド 121 が設けられている。ここで、X 方向駆動回路部 108 は、X 方向アドレスデコーダ 108A、定電流回路 108B および X 方向カレントドライブ 108C の各ワード列  $X_n$  ( $X_1, X_2, \dots$ ) に対応する回路を 1 構成単位として成り立っている。Y 方向駆動回路部 106 においても同様に、Y 方向アドレスデコーダ 106A、センスアンプ 106B および Y 方向カレントドライブ 106C の各ビット列  $Y_n$  ( $Y_1, Y_2, \dots$ ) に対応する回路が 1 構成単位となっている。ここでは、X 方向駆動回路部 108、Y 方向駆動回路部 106 の 1 構成単位を、対応するワード列  $X_n$ 、ビット列  $Y_n$  ごとにまとめたものを、単位駆動回路  $DUn$  ( $DU_1, DU_2, \dots$ ) とする。また、X 方向、Y 方向それぞれの単位駆動回路  $DUn$  の幅は、記憶セル 12 の幅 (X 方向には  $W_1$ 、Y 方向には  $W_2$ ) の寸法内に収まるように形成されており、これらの単位駆動回路  $DUn$  は、対応するワード列  $X_n$  またはビット列  $Y_n$  の端部にちょうど配置されるようになっている。

#### 【0104】

図 11 は、そのうち Y 方向の単位駆動回路内の回路配置を表している。Y 方向アドレスデコーダ 106A の回路エリアは、電源ライン 122 ( $V_{cc}$ ) と、中間電位の電源ライン 123 ( $V_m$ )、グラウンドライン 124 (GND) との間に形成される。中間電位の電源ライン 123 ( $V_m$ ) は、バンドギャップ +  $2\phi$  に対応した電圧を電流制限用トランジスタなどに中間電位を与えるようになっている。この電源ライン 123 は、X 方向の場合には、定電流回路 108B にも中間電位を与える。この回路エリア内にはアドレス線 105 が横断するように延在しており、これらに各単位駆動回路  $DUn$  のアドレスデコーダ 106A が接続されている。また、センスアンプ 106B の回路エリアは、電源ライン 125 と、中間電位の電源ライン 123、グラウンドライン 124 との間に形成される。

#### 【0105】

Y 方向カレントドライブ 106C の回路エリアは、電源ライン 125 と、中間電位の電源ライン 126、グラウンドライン 127 との間に形成される。このエリア内には、データ信号線 14、リファレンス信号線 15 が横断するように延在しており、これら信号線に各単位駆動回路  $DUn$  のカレントドライブ 106C が

接続されている。

#### 【0106】

なお、X方向の単位駆動回路DUnの回路配置もこれとほぼ同様であり、Y方向の単位駆動回路の各回路106A～106Cがそれぞれ回路108A～108Cに対応したものとなる。

#### 【0107】

図12は、Y方向の単位駆動回路のうち、さらにカレントドライブのみの回路パターン配置を具体的に示している。カレントドライブ106Cの各構成要素は、記憶セル12の幅W2の範囲内に集積されている（ビットデコード線16Yは、電源ライン125を通り過ぎ、Y方向アドレスデコード106Aに接続されている。）。また、トランジスタQ5、Q6、トランジスタQ1、Q2、トランジスタQ3、Q4の3つのトランジスタ対、および抵抗器R1、R2、抵抗器R3、R4のそれぞれは、特性が揃っていることが動作上重要であるが、さらに実際の回路パターンにおいても対象に配置されている。これら素子対は、予め特性を揃えることは勿論であるが、それでも各回路素子の設置場所の温度条件が異なる場合などに、出力特性が異なってくることがある。これに対し、本実施の形態では、対をなす素子同士を近接し、かつ対称となるように配置しているので、共に同じ温度変化を受けるために互いの特性は同様に変化し、差がほとんど生じないようにしている。よって、温度変化によって生じる出力値のばらつきを、低減させることができる。

#### 【0108】

次に、以上のような構成の磁気メモリデバイスの動作を説明する。

〔記憶セルに対する書き込み動作〕

まず、この記憶セル12における情報記憶方式について説明する。

#### 【0109】

記憶セル12では、1対の磁気抵抗効果素子12A、12Bの第1の磁性層1は共に右方向に磁化が固定されているが、第2の磁性層3は互いに反平行となる向きに磁化される。このため、磁気抵抗効果素子12A、12Bにおいては、それぞれの第1の磁性層1と第2の磁性層3の磁化方向の組み合わせは、必ず（反

平行, 平行) か、(平行, 反平行) となる。図 13, 図 14 は、これらの各状態を表している。ここでは、それぞれの状態に 2 値情報「0」, 「1」を対応させ、記憶セル 12 をいずれかの状態とすることで、1 つの記憶セル 12 に 1 ビットの情報を記憶する。また、磁気抵抗効果素子 12 A (12 B) は、第 1 の磁性層 1 と第 2 の磁性層 3 の磁化方向が平行であれば、大きなトンネル電流が流れる低抵抗状態となり、反平行であれば小さなトンネル電流しか流れない高抵抗状態となる。つまり、対をなす磁気抵抗効果素子 12 A, 12 B は、必ず一方が低抵抗で、他方が高抵抗となって情報を記憶する。

#### 【0110】

これら 2 つの記憶状態は、磁気抵抗効果素子 12 A, 12 B それぞれの第 2 の磁性層 3 の磁化方向を互いに反平行とすることで書き込まれるが、そのためには、書込線 6 X, 6 Y に対し、磁気抵抗効果素子 12 A と磁気抵抗効果素子 12 B とで相対的に逆向きの電流を流す。

#### 【0111】

例えば、ビット列  $Y_n$ , ワード列  $X_n$  の記憶セル 12 に、図 13 に示した記憶状態を書き込むには、図 15 に示したように書き込み電流を流せばよい。このように、カレントドライブ 108 C からは、ドライブポイント  $A \rightarrow B$  の向きで書込用ワード線 6  $X_n$  に電流を流し、カレントドライブ 106 C からは、ドライブポイント  $B \rightarrow A$  の向きで書込用ビット線 6  $Y_n$  に電流を流すと、書込用ワード線 6  $X_n$  の曲折により、磁気抵抗効果素子 12 A, 12 B の領域では、互いの向きが揃い、かつ、磁気抵抗効果素子 12 A と磁気抵抗効果素子 12 B とでは相対的に逆向きとなった書き込み電流が流れる。

#### 【0112】

この書き込み電流により、磁気抵抗効果素子 12 A, 12 B それぞれの環状磁性層 5 には、図 13 に示したように互いに逆向きに還流する磁界が誘導され、第 2 の磁性層 3 との対向面における磁化（つまり誘導磁界の向き）は互いに反平行となる。磁気抵抗効果素子 12 A, 12 B それぞれの第 2 の磁性層 3 の磁化は、この外部から与えられる磁界の向きに従って反平行となり、その磁化状態が環状磁性層 5 との反強磁性結合により固定される。この場合、磁気抵抗効果素子 12

Aが高抵抗、磁気抵抗効果素子12Bが低抵抗となっている。

#### 【0113】

図14に示した記憶状態を書き込むには、図16のように、磁気抵抗効果素子12A、12Bに、この場合と逆向きに電流を流すようにすればよい。記憶セル12は、この場合の磁気抵抗効果素子12Aと磁気抵抗効果素子12Bが入れ替わったように動作し、書き込みが行われる。

#### 【0114】

なお、ここでは、誘導磁界は環状磁性層5の内部に閉じ込められることから、第2の磁性層の磁化反転に寄与する実効的な磁界強度は、従来に比して大きくなる。その結果、第2の磁性層3の磁化反転を、必要十分な磁界強度で行い、その磁化を所定の方向に対し、十分な大きさとなるように揃えることができる。これにより、効率よい書き込み動作ができる。同時に、誘導磁界は、書き込み対象の素子12A（12B）の外に漏れないために、隣接する記憶セル12においては、第2の磁性層3の磁化方向が外部擾乱磁界により乱されるおそれが低減され、一旦書き込まれた情報が予期せず消されたり、書き換えられたりすることが防止される。よって、情報を確実に書き込むことができる。

#### 【0115】

次に、こうした記憶方式に基づいて行う情報の書き込み方法を説明する。

#### 【0116】

この磁気メモリデバイスでは、まず、アドレスバッファ101が外部データ端子A0～A20に輸入される選択信号の電圧を取り込んで内部バッファで増幅し、アドレス線105、107を通じてX方向、Y方向のアドレスデコーダ108A、106Aに伝達する（図1）。同時に、データバッファ102が外部データ端子D0～D7に輸入されるデータ信号の電圧を取り込んで内部バッファで増幅し、書き込み用データバス110、111を通じてX方向、Y方向のカレントドライブ108C、106Cに伝達する。

#### 【0117】

アドレスデコーダ108A、106Aは、選択信号に対応するデコード値を、対応するワードデコード線16X、ビットデコード線16Yに送出する。ここで

は、デコード値はワードデコード線 16  $X_n$ 、ビットデコード線 16  $Y_n$  に送出される。これにより、信号が入力されるカレントドライブ 108 C、106 Cではトランジスタ Q7、Q8 が導通状態となり（図 5）、駆動対象として選択される。

#### 【0118】

また、カレントドライブ 108 C、106 Cそれぞれのデータ信号線 14 には、データバッファ 102 からのデータ信号がそれぞれ入力され、リファレンス信号線 15 には、これを反転させた信号が入力される。これにより、カレントドライブ 108 C、106 Cは、書き込む 2 値情報に応じて、書込用ワード線 6 X、書込用ビット線 6 Y に流す電流の向きを決定する。

#### 【0119】

（カレントドライブの動作）

書き込み回路系の具体的動作は、図 13、図 15 に例示した記憶状態に即して説明する。図 17 は、選択されたカレントドライブ 108 C におけるタイミングチャートを示している（この動作時にはトランジスタ Q7、Q8 は常に導通状態であるため、図示していない）。なお、以下の動作過程は、ほぼ同時に引き起こされるが、段階的に説明するため、各過程ごとに微少時間  $\Delta t_1$ 、 $\Delta t_2$  が経過するものとしている。また、図 18 は、選択されたワード列  $X_n$  のカレントドライブ 108 C における各トランジスタのスイッチング状態を表している。

#### 【0120】

カレントドライブ 108 C は、データ信号線 14 に “Low” のデータ信号が入力され、リファレンス信号線 15 にはその反転信号である “High” のリファレンス信号が入力される。これにより、まず、トランジスタ Q3 のベース端子に “Low” の電圧レベルが、トランジスタ Q4 のベース端子に “High” の電圧レベルが与えられ、トランジスタ Q3 はオフ状態、トランジスタ Q4 はオン状態となる。

#### 【0121】

トランジスタ Q4 がオン状態となると、トランジスタ Q6 では、ベース電圧が降下し、エミッタ端子の電位と変わらなくなる。これにより、トランジスタ Q6

はオフ状態となる。一方、トランジスタ Q 3 はオフ状態であるために、トランジスタ Q 5 では、ベース端子はエミッタ端子に対して相対的に高い電圧がかかることになる。これにより、トランジスタ Q 5 はオン状態となる。

#### 【0 1 2 2】

さらに、トランジスタ Q 5 がオン状態となる結果、トランジスタ Q 2 のベース電圧は降下し、トランジスタ Q 6 がオフ状態であることから、トランジスタ Q 1 のベース電圧は相対的に高くなる。これにより、トランジスタ Q 1 は、より多くの電流を流すという意味でのオン状態、トランジスタ Q 2 は、より少ない電流しか流れないという意味でのオフ状態となる。つまり、実際にはトランジスタ Q 5 , Q 6 のオン／オフがベース端子の電圧レベルに与える影響により、トランジスタ Q 1 は多くの電流を流すのに対し、トランジスタ Q 2 はわずかな電流しか流さないように動作する。

#### 【0 1 2 3】

このように、データ信号とリファレンス信号入力により、まず第 2 の差動スイッチ対であるトランジスタ Q 3 , Q 4 が動作し、その動作状態に応じて第 3 の差動スイッチ対であるトランジスタ Q 5 , Q 6 、第 1 の差動スイッチ対であるトランジスタ Q 1 , Q 2 が次々と差動動作することによって、第 1 の差動スイッチ対 (Q 1 , Q 2) のオン／オフと、第 2 の差動スイッチ対 (Q 3 , Q 4) のオン／オフが互いに相補的な組み合わせとなる。また、いずれがオンでいずれがオフかは、データ信号値に応じて選択されている。

#### 【0 1 2 4】

トランジスタ Q 1 ~ Q 6 の一連の動作の結果、電源 Vcc からの電流は、トランジスタ Q 1 , Q 2 のうちオン状態であるトランジスタ Q 1 の側を流れ、ドライブポイント A に流入する。トランジスタ Q 3 はオフ状態であるため、この電流は、ドライブポイント A から書込用ワード線 6 Xn に流れ、ドライブポイント B から流出し、オン状態であるトランジスタ Q 4 を通過して接地側へ流れ込む。

#### 【0 1 2 5】

すなわち、第 1 の差動スイッチ対ではトランジスタ Q 1 がオン、トランジスタ Q 2 がオフとなることで、ドライブポイント A が、書込用ワード線 6 Xn の電流

流入側に選択されている。一方、第2の差動スイッチ対では、第1の差動スイッチ対とは相補的にトランジスタQ3がオフ、トランジスタQ4がオンとなることで、反対側のドライブポイントBが、書込用ワード線6Xnの電流流出側に選択されている。このようにして、カレントドライブ108Cから書込用ワード線6Xnに対し、ドライブポイントA→Bの向きの書き込み電流が供給される。

#### 【0126】

また、以上の動作によってわかるように、第1および第2の差動スイッチ対（Q1～Q4）および書込用ワード線6Xnで構成される書き込み電流の経路と、第3の差動スイッチ対（Q5，Q6）に流れる電流の経路とは、互いに独立している。また、書き込み電流の経路はトランジスタQ8，抵抗器R4を介して接地に導かれ、第3の差動スイッチ対の電流経路は、トランジスタQ7，抵抗器R3を介して接地に導かれている。

#### 【0127】

ここで、トランジスタQ8，抵抗器R4の経路へ流入する書き込み電流の大きさIは、抵抗器R4の抵抗値をRcとすれば、次式で与えられる。

$$I(A) = (Vb - \phi') (Volt) / Rc (\Omega) \quad \dots (1)$$

VbはトランジスタQ8のベース端子に入力される電圧レベル、 $\phi'$ はトランジスタQ8のベース-エミッタ間の順方向電圧である。これらが固定値であることから、抵抗値Rcが決まれば流れる電流は一定値となること、抵抗値Rcをパラメータとして電流値は一意に決めることができることがわかる。このように、トランジスタQ8は、デコード用スイッチとして働くだけでなく、抵抗器R4と共に、電流を直接の制御対象とした定電流回路として作用する。

#### 【0128】

これにより、書き込み電流は、書込用ワード線6Xnより流出した経路上にて値が固定されることから、書込用ワード線6Xnにおいては常に一定値で流れるものとなる。

#### 【0129】

なお、本実施の形態のカレントドライブ108Cでは、書込用ワード線6Xに流れる電流は常に一定値に制御されているので、書込用ワード線6Xの抵抗値が



変動すれば、ドライブポイント A, ドライブポイント B 間の電位差が連動して変化することになる。この例のように駆動した場合では、書込用ワード線 6 X の抵抗値が大きいほどドライブポイント A の電位は高く、ドライブポイント B の電位は低くなり、書込用ワード線 6 X に流れる電流量を一定に保つように動作しようとする。このとき、ドライブポイント A の電位は、トランジスタ Q 1 がオン、トランジスタ Q 3 がオフなので、電源電圧に近く、ドライブポイント B の電位は、トランジスタ Q 2 がオフ、トランジスタ Q 4 がオンなので、トランジスタ Q 4 のエミッタ電位に近い。すなわち、一旦データ信号およびリファレンス信号が入力され、トランジスタ Q 3, Q 4 のエミッタ電位が決まれば、ドライブポイント A, B の各電位は、データ信号, リファレンス信号等の入力信号電圧にはよらずに、トランジスタ Q 1 ~ Q 6 の動作に伴って電源電圧からエミッタ電位までの間の値に決まる。よって、ドライブポイント A, B 間の電位差は、広範な変動が可能である。

#### 【0130】

こうした電位変動は、同時に、トランジスタ Q 5, Q 6 のベース電圧に影響する。トランジスタ Q 5 はより多くの電流を流し、トランジスタ Q 6 はより少ない電流を流すようになり、いわば、この差動対の開閉バランスがより大きく傾くようになる。その結果、トランジスタ Q 2 は、ベース電位が下がり、ドライブポイント B と接続されたエミッタ側で電位が低下していてもオフ状態を保持することができる。同様に、トランジスタ Q 1 は、ベース電位が上がり、ドライブポイント A と接続されたエミッタ側で電位が上昇していてもオン状態を保持することができる。このように、ドライブポイント A, B 間の電位差（書込用ワード線 6 X の抵抗値）が変動したとしても、第 3 の差動スイッチ対（Q 5, Q 6）が差動増幅器として働き、第 1 の差動スイッチ対（Q 1, Q 2）の動作状態を、電位変動分に応じて自動的に微調整するため、第 1 ないし第 3 の差動スイッチ対（Q 1 ~ Q 6）全体の開閉バランスを適正に保ち続けることができ、上述のドライブポイント A, B の広範な電位変動が保障されるようになっている。

#### 【0131】

このようにして、カレントドライブ 108 C は、ドライブポイント A, B に両

端を引き込んだ書込用ワード線 6 X<sub>n</sub> に対し、一端を電流流入側、他端を流出側として選択する電流方向制御を行うと共に定電流制御を行い、ドライブポイント A→B の方向に一定電流を安定的に供給する。なお、こうした作用は、その他の書込線 6 X、6 Y に対するカレントドライブ 1 0 8 C、1 0 6 C の各々についても同様である。

#### 【0 1 3 2】

一方、この場合に選択されたカレントドライブ 1 0 6 C では、書込用ビット線 6 Y<sub>n</sub> に対し、ドライブポイント B→A の向きに電流を流す。それには、データ信号線 1 4 に “H i g h” のデータ信号を、リファレンス信号線 1 5 に “L o w” のリファレンス信号を入力すればよい。これにより、第 1 ないし第 3 の差動スイッチ対（トランジスタ Q 1 ～Q 6）は、上記カレントドライブ 1 0 8 C の場合とは反対にスイッチングし、書き込み電流は、トランジスタ Q 2 からドライブポイント B に流入し、書込用ワード線 6 Y<sub>n</sub> を通ってドライブポイント A から流出して、トランジスタ Q 3 に流れ込む。

#### 【0 1 3 3】

こうして、カレントドライブ 1 0 8 C、1 0 6 C によって、書込用ワード線 6 X<sub>n</sub>、書込用ビット線 6 Y<sub>n</sub> に対し、図 1 5 に示した方向の書き込み電流が供給される。これにより、ビット列 Y<sub>n</sub>、ワード列 X<sub>n</sub> の記憶セル 1 2 が選択され、この記憶セル 1 2 には、供給される書き込み電流の方向に従い、図 1 3 の状態で表されるビットデータが書き込まれる。このときの書き込み電流は、必ず所定値となることから、書き込み動作は安定して行われる。

#### 【0 1 3 4】

図 1 4 に示した記憶セルのもう 1 つの記憶状態は、図 1 6 に示したように、磁気抵抗効果素子 1 2 A、1 2 B それぞれにおける書き込み電流を、前述の図 1 5 の場合とは反対方向に供給することで書き込まれる。すなわち、カレントドライブ 1 0 8 C は、書込用ワード線 6 X<sub>n</sub> に対し、ドライブポイント B→A の向きに電流を流し、カレントドライブ 1 0 6 C は、書込用ビット線 6 Y<sub>n</sub> に対し、ドライブポイント A→B の向きに電流を流すようにする。

#### 【0 1 3 5】

そのためには、カレントドライブ108Cのデータ信号線14には“High”のデータ信号を、リファレンス信号線15には“Low”のリファレンス信号を入力すればよい。これにより、カレントドライブ108CのトランジスタQ1～Q6は、前述の場合とは反対の状態にスイッチングし、書き込み電流はトランジスタQ2から書込用ワード線6Xnを通してトランジスタQ3に流れ込む。一方のカレントドライブ106Cは、このときのカレントドライブ108Cとは逆に、データ信号線14に“Low”のデータ信号を、リファレンス信号線15に“High”のリファレンス信号を入力して駆動させる。これにより、記憶セル12では、磁気抵抗効果素子12A、12Bの第2の磁性層3の磁化方向が互いに向き合うようにして反平行となる。

#### 【0136】

なお、この磁気メモリデバイスは、個々のカレントドライブ108C、106Cが記憶セル12と同じ幅W1、W2の領域内に集積配置されているため、そのうち対をなす素子同士は動作中の温度変化もほぼ等しくなる。これにより、駆動中の温度変化によって生じる書き込み電流値の変動が抑えられる。

#### 【0137】

##### [読み出し動作]

この磁気メモリデバイスでは、記憶セル12に書き込まれた情報は以下のようにして読み出される(図9参照)。

#### 【0138】

各記憶セル12は、磁気抵抗効果素子12A、12Bが2通りの反平行磁化のいずれかとなって情報が記憶された状態にある。情報を読み出す記憶セル12は、そのアドレスに対応して、Y方向はビットデコード線20、X方向はワードデコード線30に選択信号が入力されることで選択される。例えば、選択する記憶セル12がYn列、Xn行にある場合、Yn番目のビットデコード線20nとXn番目のワードデコード線30nに信号を入力する。

#### 【0139】

ビットデコード線20nにおける電圧レベルを“High”とすると、トランジスタ22A、22Bが導通状態となり、記憶セル12のYn番目の列方向プロ

ック（ビット列  $Y_n$ ）にセンシング電流が流れる。センシング電流は、センスビット線 21A, 21B を電源  $V_{cc}$  側からその反対側に向かって流れ下る。一方、ワードデコード線 30n における電圧レベルを”High” とすると、トランジスタ 33 が導通状態となり、記憶セル 12 の  $X_n$  番目の行方向ブロック（ワード列  $X_n$ ）に電流が流れることが許される。

#### 【0140】

よって、センシング電流は、 $Y_n$  番目のセンスビット線 21A, 21B から、それぞれ磁気抵抗効果素子 12A とダイオード 13A, 磁気抵抗効果素子 12B とダイオード 13B を通り、共に  $X_n$  番目のセンスワード線 31 へと流れ込み、さらに、定電流回路 108B を構成するトランジスタ 33 のコレクターエミッタ間を通り、抵抗器 34 から接地へと抜ける。

#### 【0141】

情報の読み出しは、記憶セル 12 の磁気抵抗効果素子 12A, 12B それぞれに流れる電流値の差分を検出することによって行われる。これらに流れる電流は、センスビット線 21A, 21B を流れるセンシング電流にほぼ等しく、センシング電流の値は、センスビット線 21A, 21B に直列接続された抵抗器 23A, 23B の電圧降下によって電圧に変換して検出することができる。そこで、ここでは読み出し信号として、抵抗器 23A と抵抗器 23B の電圧降下をそれぞれ入力線 40A, 40B から取り出し、その差分を検出する。このように、2つの磁気抵抗効果素子 12A, 12B を用い、それぞれの出力値の差分を取り出すことで、記憶セル 12 としては、雑音が除去された大きな出力値が得られる。

#### 【0142】

さらに、入力線 40A, 40B から取り出す電位差をセンスアンプ 106B で差動増幅することにより、値が一層大きく、かつ  $S/N$  の良い出力が得られる。出力線 41A, 41B には、各ビット方向単位読出回路 80（…, 80n, 80n+1, …）のセンスアンプ 106B がカスケード接続されているが、対応するセンスアンプ 106B がビットデコード線 20 の選択と同時にアクティブとなり、そのコレクタ出力だけが出力線 41A, 41B に送出される。

#### 【0143】

センスアンプ 1 0 6 B の出力は、出力線 4 1 A, 4 1 B、読み出し用データバス 1 1 2 を経由して、最終的には出力バッファ 1 0 2 B に入力される。出力バッファ 1 0 2 B は、入力された信号電圧を、増幅すると共に 2 値の電圧信号として外部データ端子 D0 ～ D7 から出力する。

#### 【 0 1 4 4 】

この読み出し動作において、選択された記憶セル 1 2 に対するセンシング電流の大きさは、定電流回路 1 0 8 B により一定範囲内に収められる。すなわち、センスワード線 3 1 に流れる電流、もといセンスビット線 2 1 A とセンスビット線 2 1 B、もしくは磁気抵抗効果素子 1 2 A と磁気抵抗効果素子 1 2 B の双方を流れる電流の総和が、一定範囲内の値をとる。これにより、センスビット線 2 1 A, 2 1 B の各電流値は、一定に規格化された電流量を磁気抵抗効果素子 1 2 A, 1 2 B の抵抗比に応じて分配したものとなる。そのため、磁気抵抗効果素子 1 2 A, 1 2 B の抵抗値がばらついていたとしても、センスビット線 2 1 A, 2 1 B の各々における電流のぶれは総電流値に応じて常に一定の範囲内に押さえ込まれ、安定した差動出力が得られる。

#### 【 0 1 4 5 】

また、各磁気抵抗効果素子 1 2 A, 1 2 B の電流経路上に設けられているダイオード 1 3 A, 1 3 B は、電流がセンスワード線 3 1 から磁気抵抗効果素子 1 2 A, 1 2 B へと逆流することを防止している。よって、磁気抵抗効果素子 1 2 A (1 2 B) を逆流する回り込み電流成分の発生経路が遮断され、読み出し信号の S/N 比向上に寄与する。

#### 【 0 1 4 6 】

このように本実施の形態においては、カレントドライブ 1 0 8 C, 1 0 6 C を、ドライブポイント A, B に書込線 6 X, 6 Y の両端を引き込み、このループ上に (1) データ信号に応じた向きに方向を切り換えて電流を流すと共に、(2) その電流量を、書込線より流出後に定電流制御するように構成したので、書込線 6 X, 6 Y には、双方向に、その抵抗ばらつきによらず一定の大きさと電流を供給することができる。よって、この磁気メモリデバイスでは、各記憶セル 1 2 に対する情報書き込みには常に一定電流が用いられることから、十分な強度の誘導

磁界によって確実に書き込むことや、隣接する記憶セル12への漏洩磁界を設定範囲内に抑えることを、制御性よく行い、安定した書き込み動作を行うことができる。なお、記憶セルの高集積化に伴って書込線が微細化されるにつれて、その製造上の抵抗ばらつきは一層大きくなることが予想され、今後は、書き込み電流に対する抵抗ばらつきの影響がより顕在化する傾向にある。このカレントドライブ108C、106Cは、そうした場合に対応可能であり、一層よくその効果を発揮することができる。

#### 【0147】

なお、カレントドライブ108C、106Cを、トランジスタQ1～Q6からなる各差動対の動作により電流方向制御を行うようにしたので、書き込み電流は従来とは異なる方式の方向制御を受ける。特に、ここでは、トランジスタQ5、Q6を設け、これらが差動増幅器として動作してトランジスタQ1、Q2の開閉状態を制御するようにしたので、トランジスタQ1、Q2はドライブポイントA、B間の電位差によく追従した強度でスイッチング動作を行う。しかも、トランジスタQ1、Q2は、トランジスタQ5、Q6によりドライブポイントA、B間の広範な電位変動に追従することから、書込線6の抵抗値が大きくばらついたとしても、書込線6に対する電流量を一定に保ちつつ、電流方向制御のための開閉動作のバランスも保つことができる。

#### 【0148】

また、上記したように、書き込み電流の値が書込線6ごとの抵抗変動等によらず一定であると保証され、書込線6の広範な抵抗ばらつきが許容されることから、書込線6の製造誤差の許容範囲が広がると共に、書込線の配線構造の自由度が高まる。例えば、製造過程において、微細な書込線の線路長や幅、厚みを一定に制御するのは至難であるが、極限の寸法精度が要求されないということは、生産上大変有利である。また、実際の配線上では、書込線は、位置に応じて長さや形状が異なる場合があるが、そうしたときでもレイアウト変更の必要がなく、さらには、そのような配線構造を意図的にレイアウトすることも可能である。今後メモリが高集積化し、配線密度が向上した場合に、こうした手法を効果的に用いることが考えられる。

## 【0149】

また、ここでは、カレントドライブ108Cおよびカレントドライブ106CをトランジスタQ1～Q8、抵抗器R1～R4だけで構成するようにしたので、従来に比べて書き込み電流の供給系統を極めて簡素に構成することができる。よって、カレントドライブ108C、106Cは、各ワード列X<sub>n</sub>、ビット列Y<sub>n</sub>ごとに設けたとしても大きな回路スペースを必要としないで済む。

## 【0150】

そのうえ、従来のカレントドライブは、アナログ回路（定電流制御部）とデジタル回路（ロジック部、パルス生成部）が混在して構成されていたが、本実施の形態のカレントドライブ108C、106Cは、バイポーラトランジスタQ1～Q8を用い、アナログ回路として構成されている。その利点は、MOSトランジスタがデジタル的なスイッチング動作を特徴とするのに対し、バイポーラトランジスタではアナログ的に電流量の微調整が可能である点にある。すでに説明したように、トランジスタQ5、Q6、およびトランジスタQ1、Q2は、対をなす素子同士が互いのベース端子における相対的な電圧の大小関係を差動増幅すると共に、ドライブポイントA、B間の電位差に応じた強度でスイッチング動作を行うことで動作状態を保持する。こうした中間的動作は、バイポーラトランジスタがよく適合するものであり、また、電流量を直接制御することができる。

## 【0151】

さらに、これらカレントドライブ108C、106Cの各々を、ワード列X<sub>n</sub>、ビット列Y<sub>n</sub>に対応するように記憶セル12の幅W1、W2でパターン化し、1つの回路エリアに集積配置するようにしたので、その構成要素のうち対をなす回路素子同士が互いに近接した位置に形成される。よって、対をなす回路素子の各々は同様の温度条件で駆動されるために、温度変化による特性ばらつきが抑制され、カレントドライブ108C、106Cにおける雑音を防止することができる。

## 【0152】

## 〔変形例〕

以下に、上記実施の形態の変形例について説明する。

## 【0153】

## (変形例1)

図19は、カレントドライブの配置に関する変形例を表している。上記実施の形態では、カレントドライブ106Cをすべて記憶セル群104の上辺側に配列するようにしたが、回路のサイズが記憶セル12の幅W2を超えて大きくなってしまふような場合には、ここに示したように、上辺側と下辺側の両方に互い違いに配設させるようにしてもよい。互いに隣接するカレントドライブ106Cの間には書込線6Yの折り返しがあるだけであり、この空き領域を回路スペースとして利用すれば、カレントドライブ106Cをビット列Ynごとに設けることができる。なお、こうした変形は、カレントドライブ108Cについても行うことができ、回路レイアウトに応じてカレントドライブ108C、106Cのいずれか、または双方について適用される。さらに言えば、上記実施の形態ではカレントカレントドライブ108C、106Cは、X方向、Y方向の単位駆動回路DUnの構成要素であることから、本変形例を単位駆動回路DUnのレイアウトに拡張適用してもよい。

## 【0154】

図20～図23は、それぞれ、カレントカレントドライブの構成に関する変形例を表している。

## 【0155】

## (変形例2)

図20では、トランジスタQ8のベース側と接地との間に、ダイオードD1が設けられている。ダイオードD1は、例えばこのように直列に接続された2つのダイオードとされ、デコード値入力時にトランジスタQ8のベース電圧を一定とする機能を有している。上記実施の形態では、トランジスタQ8にベース入力されるデコード信号値が一定であるものとしたため、こうした定電圧素子は不要であったが、デコード信号値の安定度が保証されていない場合には、ダイオードD1を用いてトランジスタQ8のベース電圧を積極的に固定化し、そのコレクターエミッタ間における定電流制御を強化するようにしてもよい。

## 【0156】



## (変形例 3)

図 21 では、トランジスタ Q1, Q2 それぞれのコレクターエミッタ間に、抵抗器 R5, R6 が並列に接続されている。なお、本変形例より以下の変形例では、各差動対より接地側の回路部分を等価的に定電流源で表している。この部分の具体的構成は、実施の形態と同様であっても、変形例 2 のようにダイオード D1 等の変形がなされたものであっても構わない。

## 【0157】

抵抗器 R5, R6 は、自身の電圧降下によりドライブポイント A, B の各電位を所定値に調整する機能を有している。ドライブポイント A, B の電位は、電源 Vcc と接地との間の中間的電位であり、カレントドライブの回路設計上決まってくる。ただし、他の回路との関係からこの電位を設定する必要がある場合などには、抵抗器 R5, R6 を設け、ドライブポイント A, B の電位を、その電圧降下に見合った電圧レベルとすることによって調整することができる。

## 【0158】

また、上記実施の形態では、データ信号およびリファレンス信号は、トランジスタ Q3, Q4 に入力されるようにしたが、これら各トランジスタの動作状態を制御する基になる信号は、トランジスタ Q1, Q2 に入力されてもよく、また 4 つのトランジスタ Q1 ~ Q4 のそれぞれに入力されるようにすることができる。

## 【0159】

## (変形例 4)

図 22 に示した変形例では、上記実施の形態とは反対に、トランジスタ Q1, Q2 のベース端子の各々がデータ信号線 64, リファレンス信号線 65 に接続され、トランジスタ Q3, Q4 のベース端子が、トランジスタ Q5, Q6 のコレクタ端子とバイアス抵抗との間に接続されている。この場合には、まずトランジスタ Q1, Q2 がデータ信号, リファレンス信号に応じて動作すると、トランジスタ Q5, Q6 によってその状態が差動センシングされ、さらにセンシング結果に基づいてトランジスタ Q3, Q4 の動作が制御される。この変形例では、トランジスタ Q5, Q6 のそれぞれは、トランジスタ Q1, Q2 のオン/オフ状態によってベース電圧が変化し、トランジスタ Q1, Q2 と同じ動作状態となる。この

うち、トランジスタ Q5 の動作状態は、トランジスタ Q3 のベース端子に影響を与え、トランジスタ Q3 はトランジスタ Q5 とは反対の動作状態となる。トランジスタ Q6 についても同様であり、トランジスタ Q4 がトランジスタ Q6 とは反対の動作制御となる。このように、上記実施の形態と比較すると、トランジスタ Q1 ~ Q6 の動作手順は異なるが、結果的にトランジスタ Q1 ~ Q4 のスイッチング制御は同様に行われることになる。

#### 【0160】

##### (変形例 5)

図 23 に示した変形例では、さらに、トランジスタ Q2, Q3 のベース端子が共にデータ信号線 74 に接続され、トランジスタ Q1, Q4 のベース端子が共にリファレンス信号線 75 が接続され、トランジスタ Q1 ~ Q4 のすべてが、外部からの信号入力により制御されるようになっている。したがって、この場合には、本発明の「差動制御手段（あるいは第 3 の差動スイッチ対）」に相当する回路が不要である。上記実施の形態ではトランジスタ Q5, Q6 がこれらに対応していたが、本変形例のカレントドライブは、トランジスタ Q5, Q6 を含む差動増幅回路が除かれた構成となっている。

#### 【0161】

##### 【実施例】

##### 〔カレントドライブの定電流供給能の検証〕

上記実施の形態と同様の実回路（図 5 参照）において、書き込み動作時に書込線に流れる電流値を測定した。なお、この書き込み電流値の測定は、カレントドライブの定電流供給能が書込線の抵抗値ばらつきにどの程度まで追従できるかを調べるために、書込線の抵抗値を変化させて行った。その測定結果を、図 24 に示す。

#### 【0162】

このように、カレントドライブは書込線に対し、その抵抗値の  $10\ \Omega$  から  $1\ \text{k}\ \Omega$  までの広範な変動（ばらつき）にも関わらず、一定電流を供給していることがわかる。なお、書込線は、 $1\ \text{k}\ \Omega$  以上になると抵抗値の増加と共に流れる電流量が減少する。これは、書込線における電圧降下が大きくなったために、定電流を

供給するための動作状態が崩れたものと考えられる。

#### 【0163】

なお、本発明は、上記実施の形態および実施例には限定されず種々の変形実施が可能である。例えば、上記実施の形態の磁気メモリデバイスでは、カレントドライブ108C、106Cが共に本発明のカレントドライブとして構成されているが、このようにすべての電流供給回路に本発明のカレントドライブを適用しなくともよく、少なくともその一部に用いられていればよい。例えば、X方向とY方向の電流供給回路のうち、いずれか一方の側に用いることも考えられる。なお、書込線6X、6Yは、カレントドライブ108C、106Cに両端が接続されるためにU字状配線となっていたが、これ以外の構成をとる電流供給源に接続される書込線は、当然、U字状である必要はなく、従来どおり一端で接続され、他端は接地されていてよい。

#### 【0164】

そのような具体例を、図25に示す。この場合、X方向の書き込み回路系は、実施の形態同様にカレントドライブ108CとU字状配線の書込用ワード線6Xの組み合わせからなるが、Y方向の回路系は、従来の電流供給回路同様に構成されたY方向カレントドライブ121と、これに一端で接続され、他端は接地されている一直線状の書込用ビット線122からなる。

#### 【0165】

なお、この書込用ワード線6Xは、往路・復路ともに書込用ビット線122との交差領域で曲折しており、各交差領域に磁気抵抗効果素子123が設けられている。このように、書込用ワード線6Xの往路・復路ともに磁気抵抗効果素子を配すると、磁気抵抗効果素子を倍の密度で集積できる。これら磁気抵抗効果素子123は、個々を1記憶セルとして1単位情報を担うように動作させることもできるが、2つで1つの記憶セルとして（例えば、実施の形態に説明したようにX方向に隣接する2つで1セルとして）動作させることも可能である。

#### 【0166】

このように、本発明の磁気メモリデバイスにおいては、本発明のカレントドライブに対して書込線が両端で接続されることを除けば、いかなる変形実施も可能

である。また、具体例で示したように、本発明のカレントドライブから電流供給を受ける書込線は、両端で接続されて閉ループを形成している限りにおいて変形が可能であり、記憶セル領域における配線形状はどのようなものであっても構わない。例えば、書込線は、必ずしも U 字状でなくともよく、磁気抵抗効果素子の形成領域において互いに平行とする場合だけでなく、従来どおり互いに直交する場合など、これ以外の配線構造をとることも可能である。

#### 【0167】

本発明のカレントドライブについては、変形例を挙げて説明したように、電流方向制御部、電流量制御部に相当する回路部分の具体的な構造は、実施の形態に限定されず、その機能を具現化するものであればよい。なお、上記実施の形態では、カレントドライブ 108C、106C をバイポーラトランジスタで構成するようにしたが、本発明のカレントドライブは、これに限定されず、MOSFET もしくは CMOS 等の半導体素子で構成することが可能である。

#### 【0168】

また、磁気抵抗効果素子 12A、12B は、対をなして 1 単位情報を担う記憶セル 12 を構成するものとしたが、個々の素子が 1 単位情報を担うようにしてもよい。また、磁気抵抗効果素子の構成も実施の形態で説明したものと同一である必要はなく、環状磁性層を備えたものでなくともよい。さらに、実施の形態では、磁気抵抗効果素子 12A、12B を TMR 素子としたが、これを GMR 素子で置き換えることもできる。その場合の素子は、非磁性層 2 を絶縁層から非磁性金属層に替えることを除いては、磁気抵抗効果素子 12A (12B) と同様とすることができる。このように、本発明の磁気抵抗効果素子には公知のあらゆる素子構造が適用可能であり、磁性層の積層面に垂直に電流を流す CPP (Current Perpendicular to the Plane)、または磁性層の積層面に平行に電流を流す CIP (Current Flows in the Plane) のどちらであっても構わない。

#### 【0169】

また、上記実施の形態では読み出し用回路系を図 9 のように構成する場合について具体的に説明したが、本発明は、こうした読み出し用回路系の回路構成や配線レイアウトなどによって限定されるものではない。

## 【0170】

## 【発明の効果】

以上説明したように、本発明の磁気メモリデバイスによれば、外部磁界によって磁化方向が変化する感磁層を含んで構成された磁気抵抗効果素子と、感磁層に外部磁界を印加するために書き込み電流が供給される書込線と、書込線における書き込み電流の方向を制御する電流方向制御部、および、書込線における書き込み電流の値を一定値に制御する電流量制御部を含んで構成された書込電流駆動回路とを備えるようにしたので、大きさが電流経路の抵抗値に関わらず常に一定である書き込み電流を、書込線に対し、書き込む情報に応じた方向に供給することができる。したがって、書込線ごとの抵抗値の変動等に関係なく、安定した書き込み動作を行うことが可能となる。また、書込線の抵抗ばらつきが許容されることから、書込線の製造誤差の許容範囲を広げることや、その配線構造の自由度を広げることができる。

## 【0171】

特に、電流方向制御部を、書込線の両端に対応してそれぞれ設けられ、互いに反対の開閉状態で動作する第1および第2の電流スイッチ、を含んで構成される第1の差動スイッチ対と、それぞれが第1および第2の電流スイッチに対応してそれぞれ設けられ、互いに反対の開閉状態で動作する第3および第4の電流スイッチ、を含んで構成される第2の差動スイッチ対とを含むものとし、第1の差動スイッチ対は、書込線の両端のいずれか一方を書き込み電流の流入側として選択する機能を有し、第2の差動スイッチ対は、書込線の両端のうち他方を書き込み電流の流出側として選択する機能を有するものとすれば、電流方向制御を、対をなす電流スイッチによる差動制御、または開閉動作により具現化することができる。また、このように電流方向制御部を電流スイッチを用いて構成することで、書込電流駆動回路を、従来に比べ、素子数が格段に少なく、簡素に構成することが可能となる。

## 【0172】

また、電流量制御部が、書込線より流出後の書き込み電流の経路上に設けられているようにすれば、書込線に流れる時点の書き込み電流は、必ず定電流制御を

受けるようになり、大きさを電流経路の抵抗値に関わらず常に一定であるものとする事が達成できる。

#### 【0173】

またさらに、第1ないし第8のトランジスタ、第1および第2のバイアス抵抗器、並びに、第1および第2の電流制限用抵抗器が、すべて同一の領域内に集積配置されているようにすれば、対となる素子の各々は、近接して配置されることで環境温度がほぼ等しくなり、駆動中の温度変化によって互いの特性がかけ離れてゆくことが防止され、これらの素子対が適正な差動動作を行うことが保障される。よって、精度の高い定電流制御が可能となる。

#### 【0174】

本発明の書込電流駆動回路によれば、書込線の両端がそれぞれ接続される接続端と、書込線における書き込み電流の方向を制御する電流方向制御部と、書込線に流される書き込み電流の量を一定値に制御する電流量制御部とを備えるようにしたので、大きさが電流経路の抵抗値に関わらず常に一定である書き込み電流を、書込線に対し所望の方向に供給することができる。すなわち、書き込み電流の方向と大きさの2つを同時に制御できると共に、書込線ごとの抵抗値の変動等に関係なく、常に定電流を供給することにより、安定した書き込み動作に寄与することができる。

#### 【0175】

また、本発明の書込電流駆動方法によれば、書込線の両端のうち、いずれか一方を書き込み電流の流入側、他方を流出側として選択することにより、書き込み電流の方向を制御し、書込線に対し、この書込線上を一定の電流値で流れるように制御しつつ、書き込み電流を供給するようにしたので、常に一定量で供給される書き込み電流が、書込線の流入側として選択された一端から流出側として選択された他端へと流れる。したがって、書込線ごとの抵抗値の変動等に関係なく、安定した書き込み動作を行うことができる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の一実施の形態に係る磁気メモリデバイスの全体構成を示すブロック図

である。

【図 2】

図 1 に示した磁気メモリデバイスの要部構成を表す平面図である。

【図 3】

図 1 に示した磁気メモリデバイスの書き込み回路系の構成図である。

【図 4】

図 1 に示したカレントドライブの作用構成を説明するための概念的な構成図である。

【図 5】

図 1 に示したカレントドライブの回路図である。

【図 6】

図 1 に示した記憶セルの具体的構成を示す断面図である。

【図 7】

図 6 に示した記憶セルを書込線が貫通する様子を表した要部構成図である。

【図 8】

図 6 に示した記憶セルの変形例に係る要部構成図である。

【図 9】

図 1 に示した磁気メモリデバイスの読み出し回路系の構成図である。

【図 1 0】

図 1 に示した記憶セル群周辺における駆動回路部の実装の様子を表す構成図である。

【図 1 1】

図 1 0 に示した Y 方向駆動回路部の実際の回路配置を表す図である。

【図 1 2】

図 1 1 に示した単位駆動回路のうち Y 方向カレントドライブのパターン配置図である。

【図 1 3】

図 6 に示した記憶セルに書き込まれる一記憶状態を表す図である。

【図 1 4】

図 6 に示した記憶セルに書き込まれるもう 1 つの記憶状態を表す図である。

【図 15】

図 13 に示した記憶状態に対応する書き込み動作を説明するための図である。

【図 16】

図 14 に示した記憶状態に対応する書き込み動作を説明するための図である。

【図 17】

図 15 に示した書き込み動作時の X 方向カレントドライブの動作を表すタイミングチャートである。

【図 18】

図 15 に示した書き込み動作時の X 方向カレントドライブの各トランジスタの動作状態と、書き込み電流の経路とを表す図である。

【図 19】

図 3 に示した書き込み回路系の変形例を表す構成図である。

【図 20】

図 5 に示したカレントドライブの変形例の構成図である。

【図 21】

図 5 に示したカレントドライブの変形例の構成図である。

【図 22】

図 5 に示したカレントドライブの変形例の構成図である。

【図 23】

図 5 に示したカレントドライブの変形例の構成図である。

【図 24】

本発明の磁気メモリデバイスの実施例に係る書き込み回路系において、書込線の抵抗値と書込線に流れる電流の値との関係を示す図である。

【図 25】

図 3 に示した書き込み回路系の変形例の構成図である。

【図 26】

従来の書き込み回路系における書込線の配線構造を示す平面図である。

【図 27】



従来の書き込み回路系における記憶セルの断面構成図である。

【図 2 8】

従来の書き込み回路系におけるカレントドライブのブロック図である。

【図 2 9】

従来の書き込み電流制御の問題点を説明するための図であり、(A)は図 2 8 に示したカレントドライブと書込線の関係を示す図、(B)はその変形例に係るカレントドライブと書込線からなる系の概略構成図、(C)は(A)、(B)の回路系に内在する問題を解決するために考案された書き込み回路系の概略構成図である。

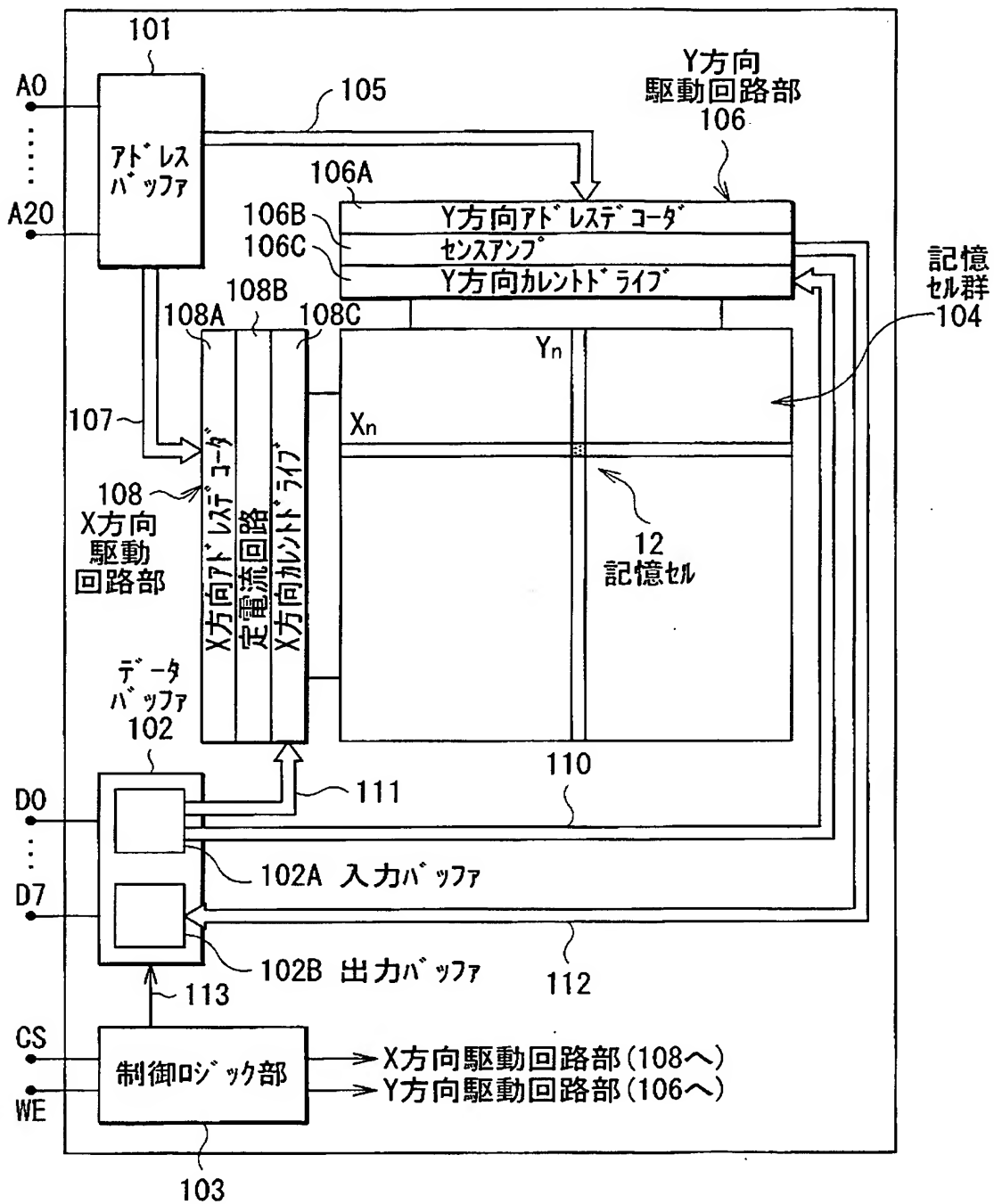
【符号の説明】

Q 1 ~ Q 8 …トランジスタ、R 1 ~ R 4 …抵抗器、A, B …ドライブポイント、1 …第 1 の磁性層、2 …非磁性層 (トンネルバリア層)、3 …第 2 の磁性層、4 …非磁性導電層、5 …環状磁性層、6 Y, 1 2 2 …書込用ビット線、6 X …書込用ワード線、7 …絶縁層、8 …導電層、9 …エピタキシャル層、1 0 …基板、1 1 …読出センシング用導線、1 2 …記憶セル、1 2 A, 1 2 B, 1 2 3 …磁気抵抗効果素子、1 3 A, 1 3 B …逆流防止用ダイオード、1 4, 6 4, 7 4 …データ信号線、1 5, 6 5, 7 5 …リファレンス信号線、1 6 X …(書込用)ワードデコード線、1 6 Y …(書込用)ビットデコード線、2 0 …(読出用)ビットデコード線、2 1 A, 2 1 B …センス用ビットデコード線 (センスビット線)、2 2 A, 2 2 B …トランジスタ、2 3 A, 2 3 B …電流電圧変換用抵抗器、3 0 …(読出用)ワードデコード線、3 1 …センス用ワードデコード線 (センスワード線)、4 0 A, 4 0 B …センスアンプ入力線、4 1 A, 4 1 B …センスアンプ出力線、5 1 …第 1 の差動スイッチ対、5 2 …第 2 の差動スイッチ対、5 3 …差動制御手段 (第 3 の差動スイッチ対)、5 4 …電流方向制御部、5 5 …電流量制御部、8 0 …ビット方向単位読出回路、1 0 1 …アドレスバッファ、1 0 2 …データバッファ、1 0 2 A …入力バッファ、1 0 2 B …出力バッファ、1 0 3 …制御ロジック部、1 0 4 …記憶セル群、1 0 5, 1 0 7 …アドレス線、1 0 6 …Y 方向駆動回路部、1 0 6 A …Y 方向アドレスデコーダ、1 0 6 B …センスアンプ、1 0 6 C, 1 2 1 …Y 方向カレントドライブ、1 0 8 …X 方向駆動回路部、1

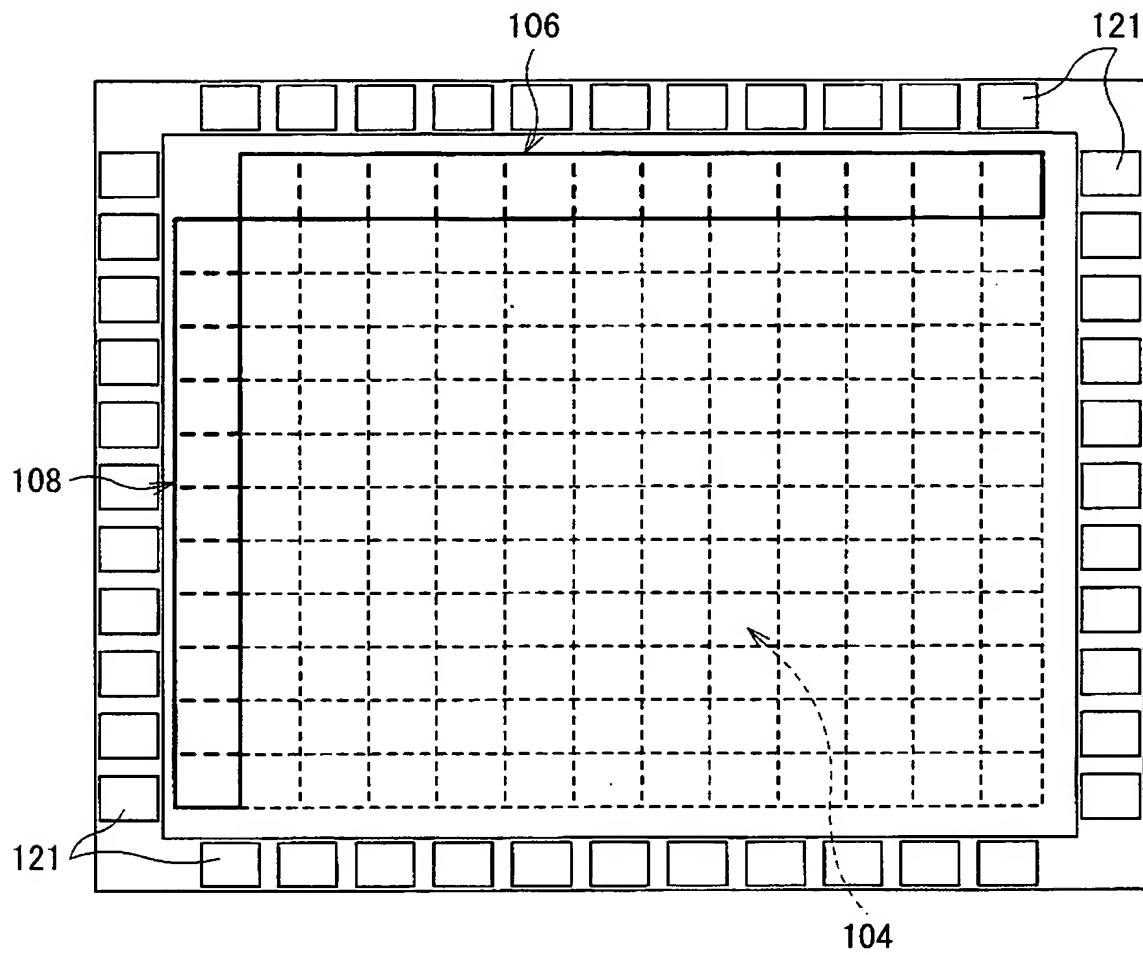
0 8 A…X方向アドレスデコーダ、1 0 8 B…定電流回路、1 0 8 C…X方向カレントドライブ、1 1 0, 1 1 1…書き込み用データバス、1 1 2…読み出し用データバス、1 1 3…制御信号線、3 0 0…定電流制御部、A0 ～A20…外部アドレス入力端子、D0 ～D7 …外部データ端子、X<sub>n</sub> …（記憶セル1 2の）ワード列、Y<sub>n</sub> …（記憶セル1 2の）ビット列、D U<sub>n</sub> …単位駆動回路、W 1…記憶セルのワード列方向の幅、W 2…記憶セルのビット列方向の幅。

【書類名】 図面

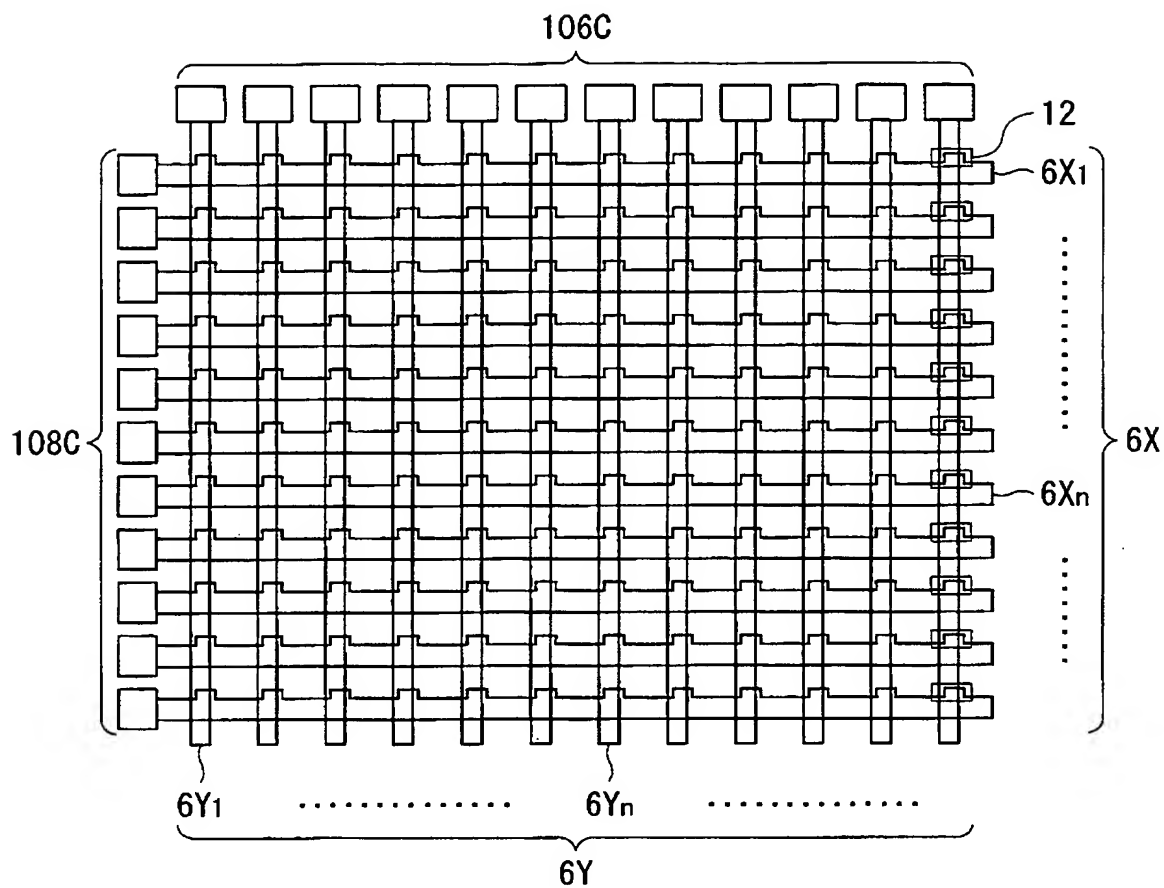
【図 1】



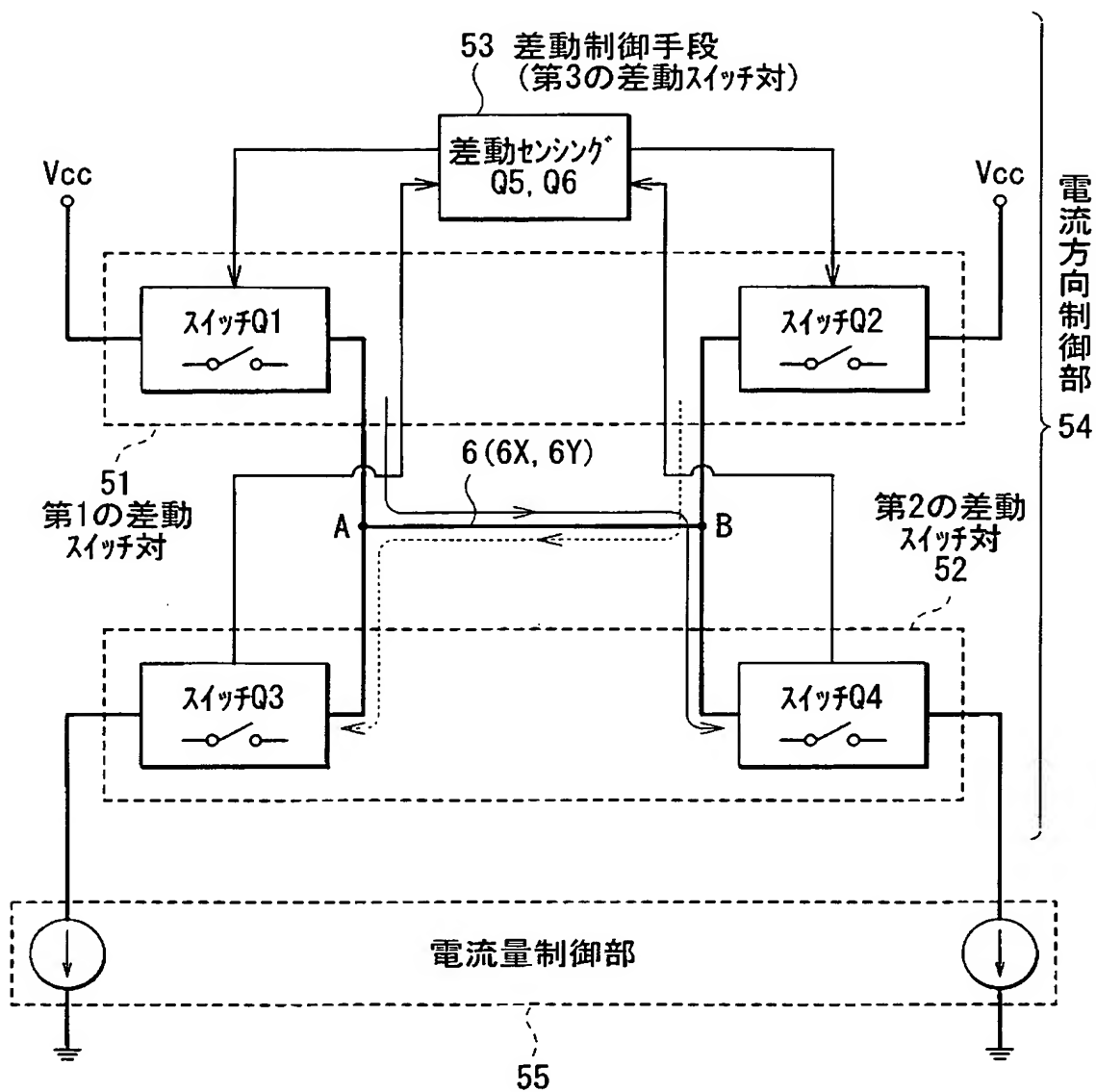
【図 2】



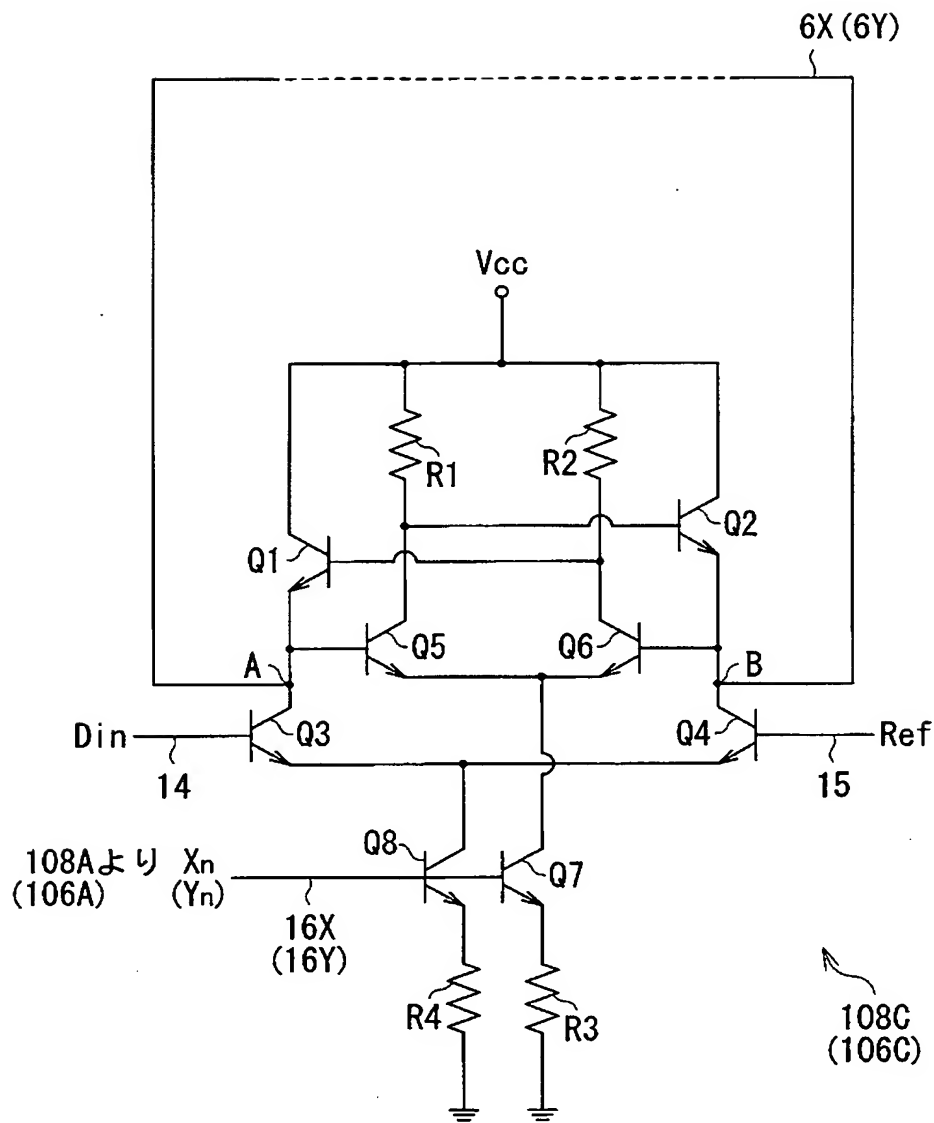
【図 3】



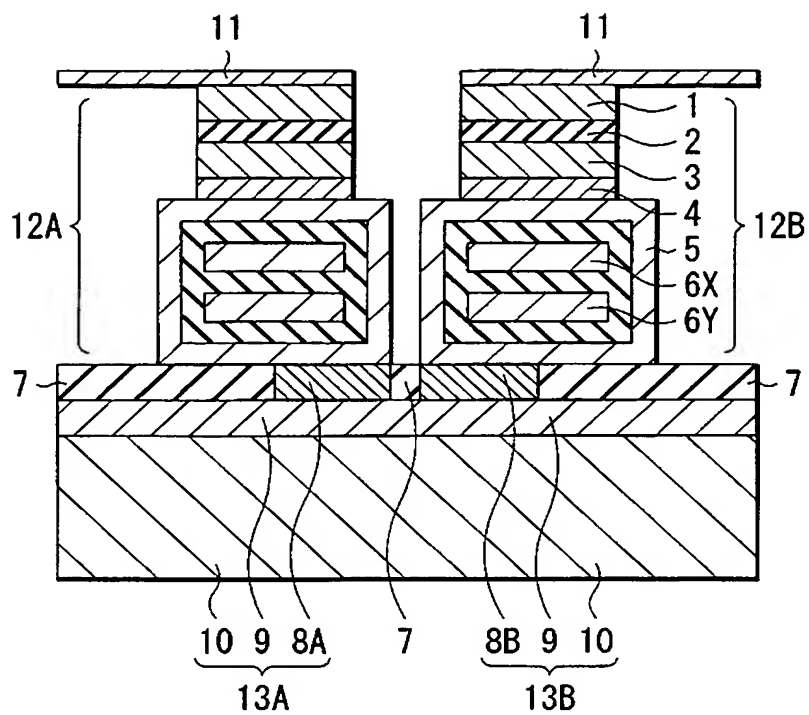
【図 4】



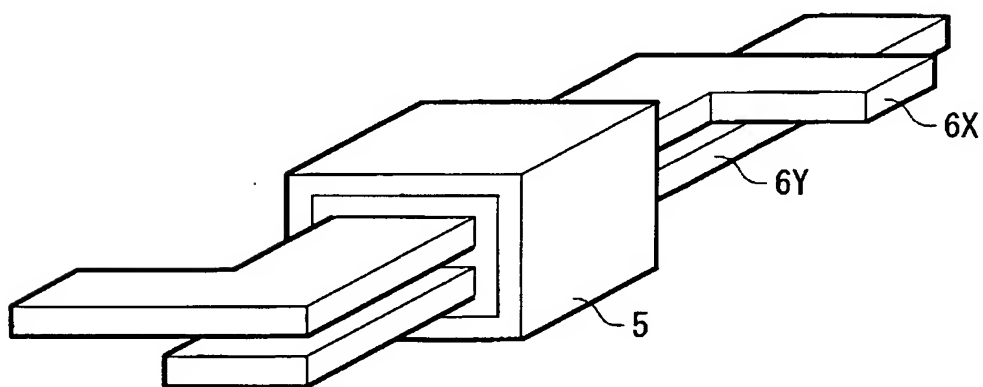
【図 5】



【図 6】

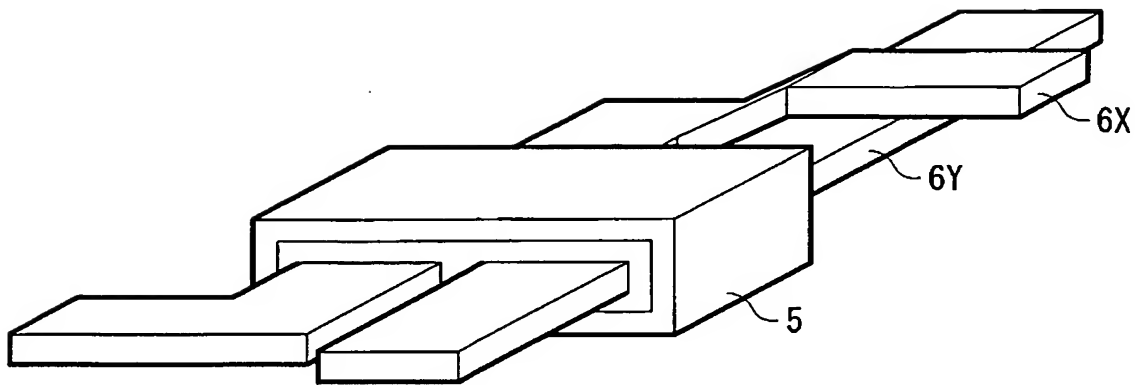


【図 7】

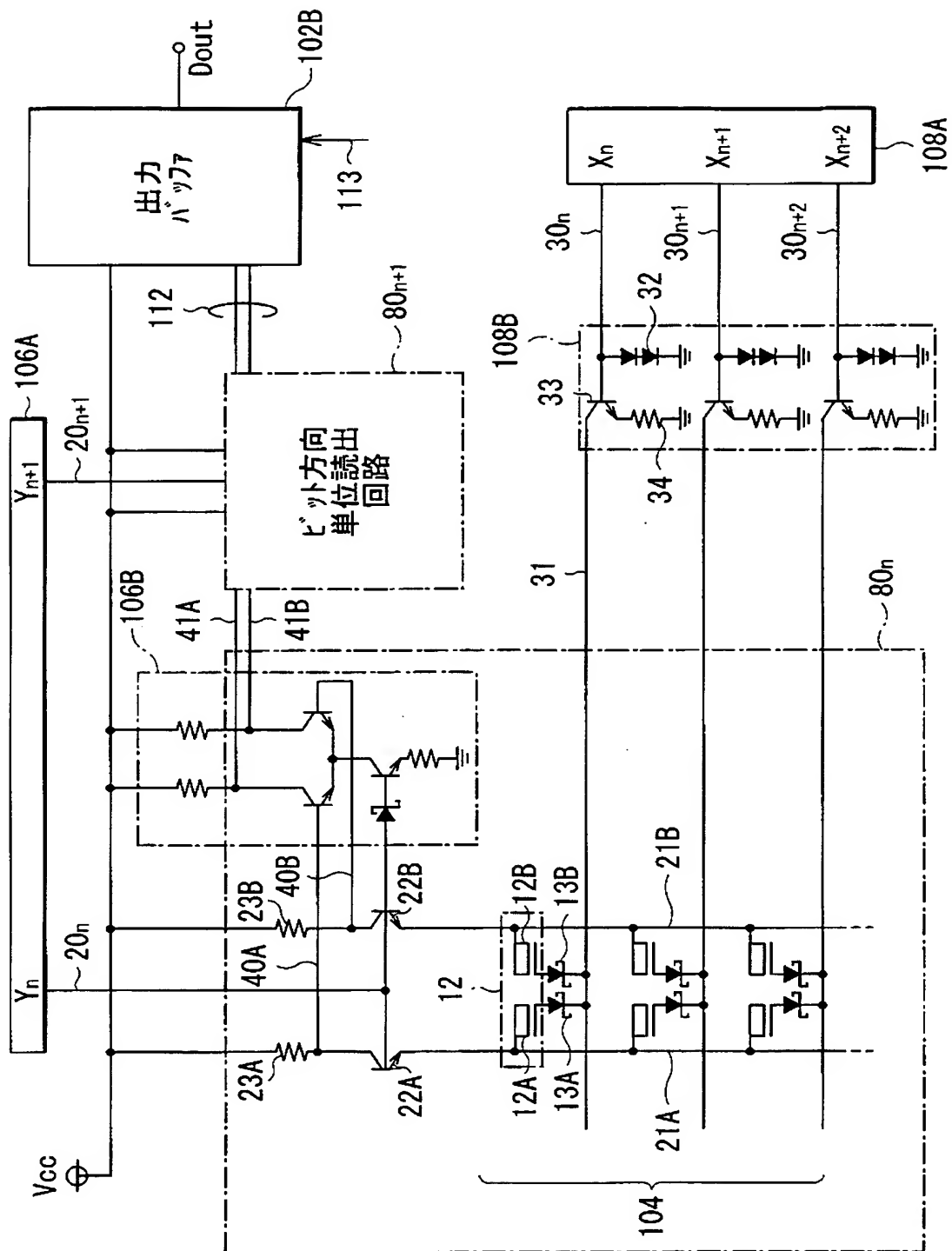




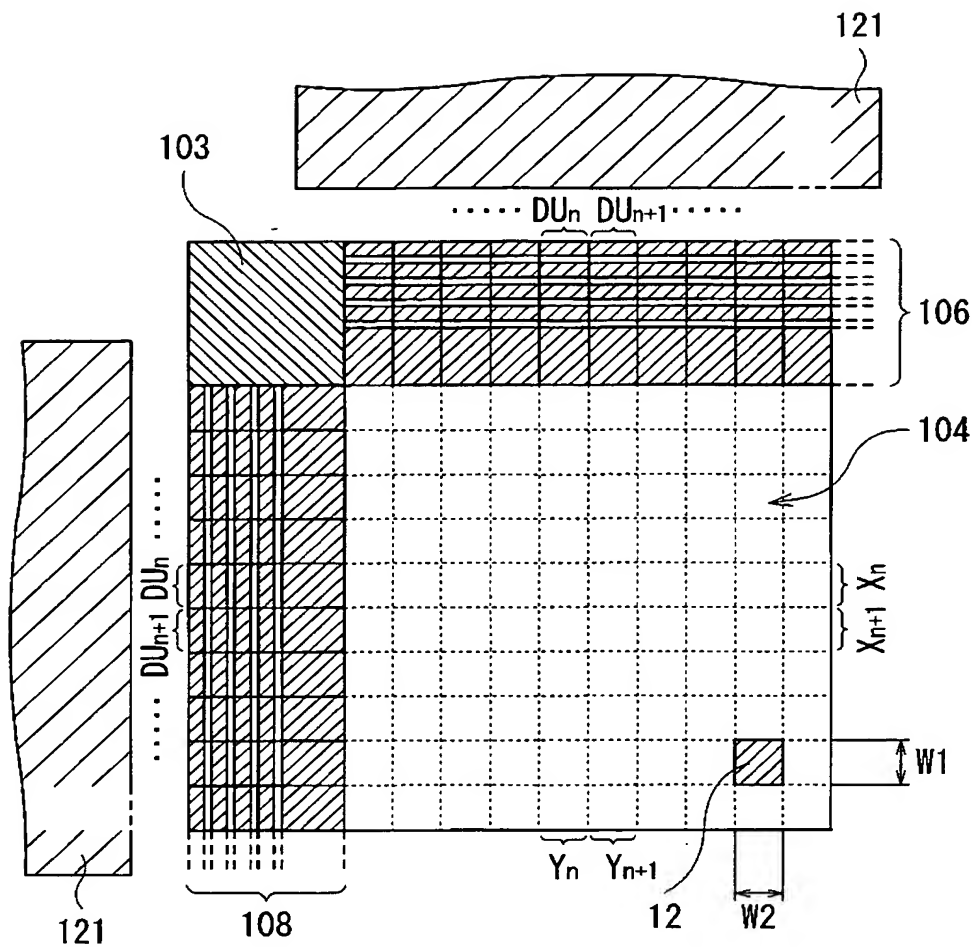
【図 8】



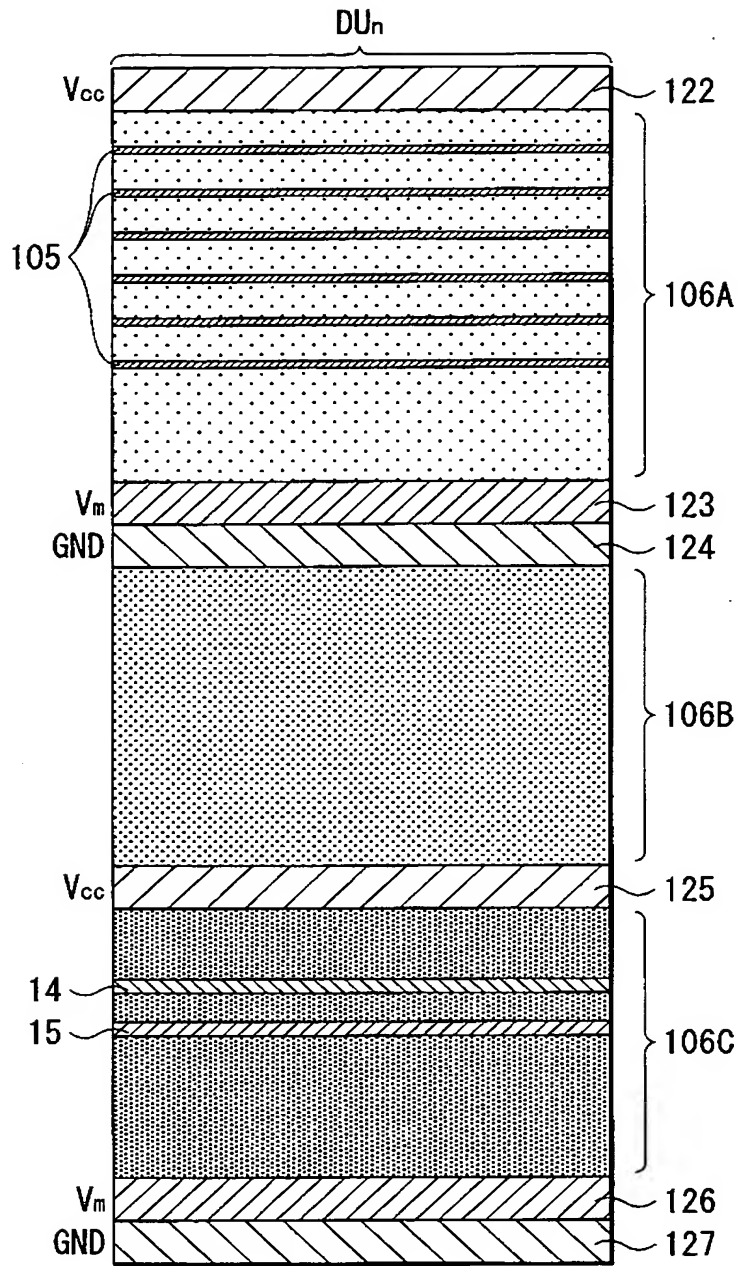
【图 9】



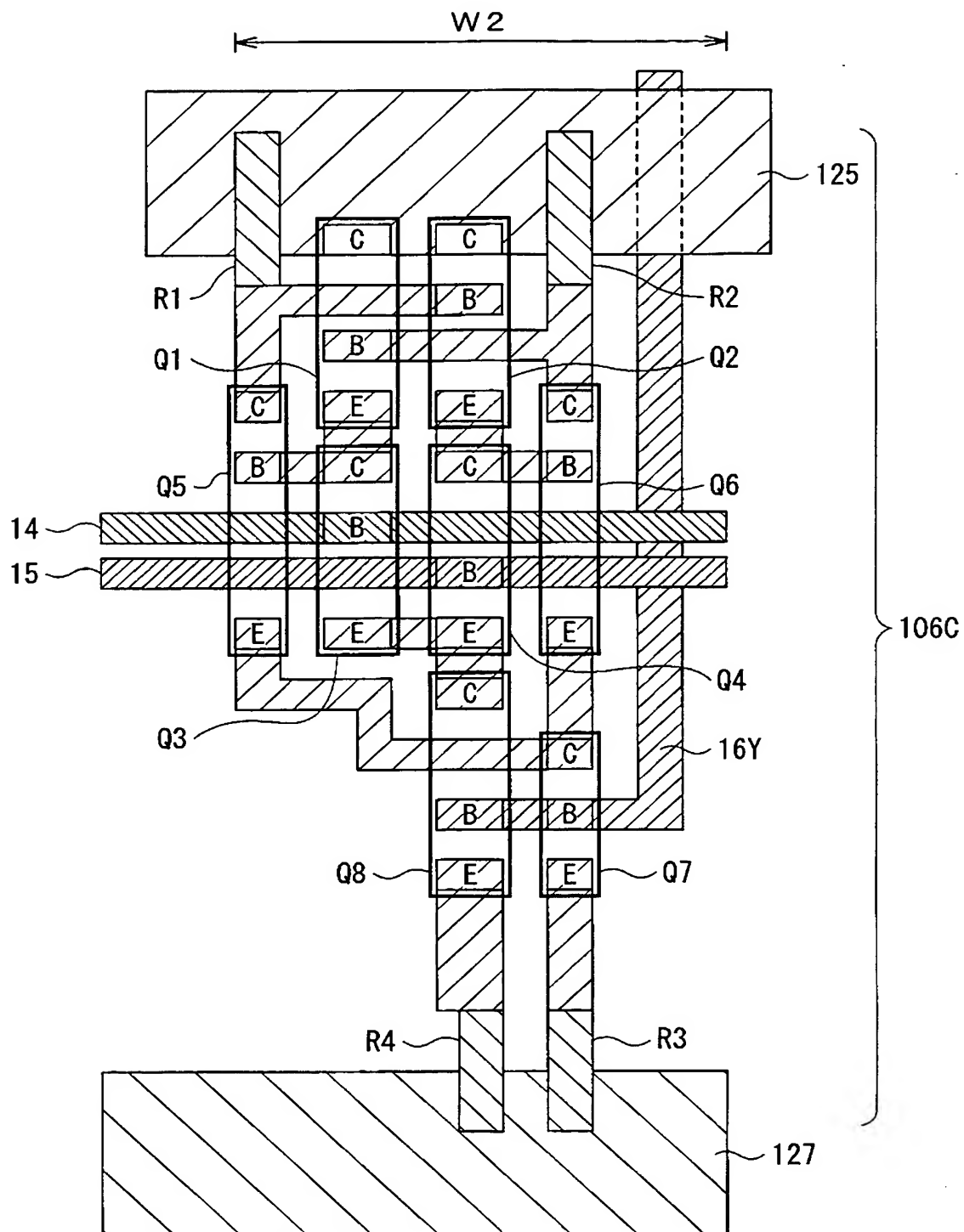
【図 10】



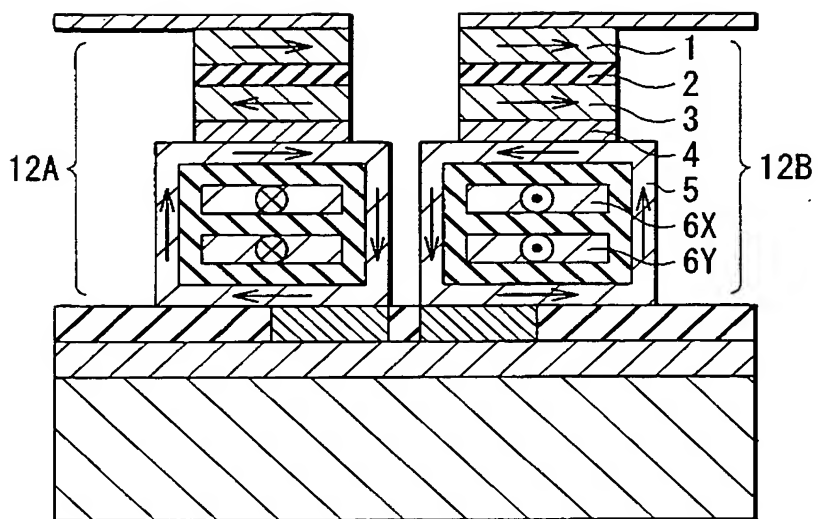
【図 11】



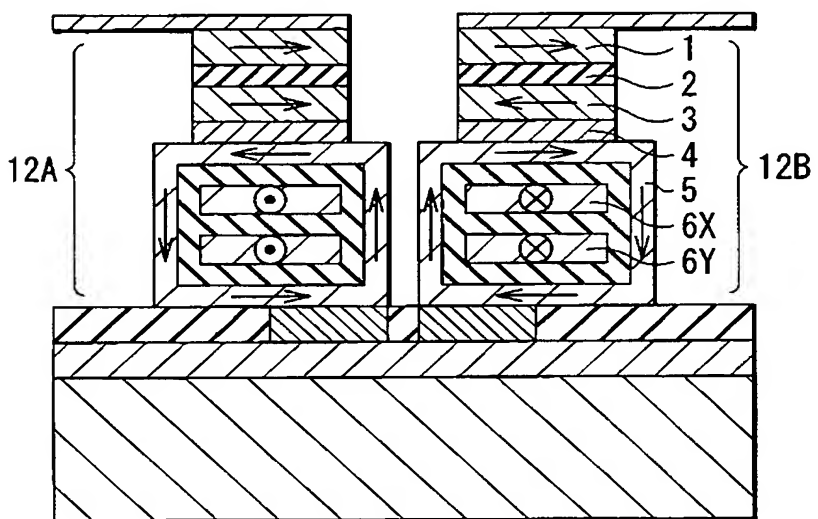
【図 12】



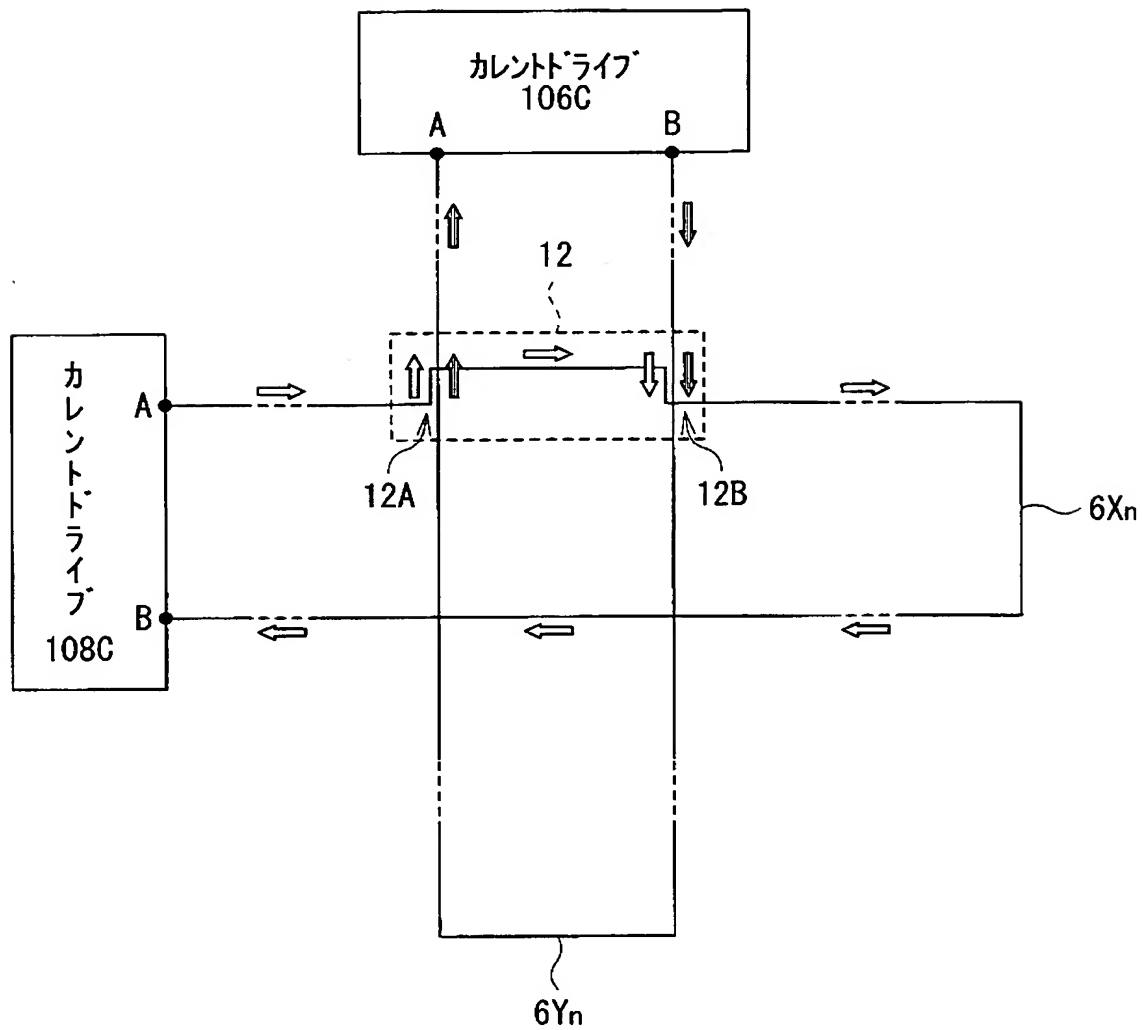
【図 13】



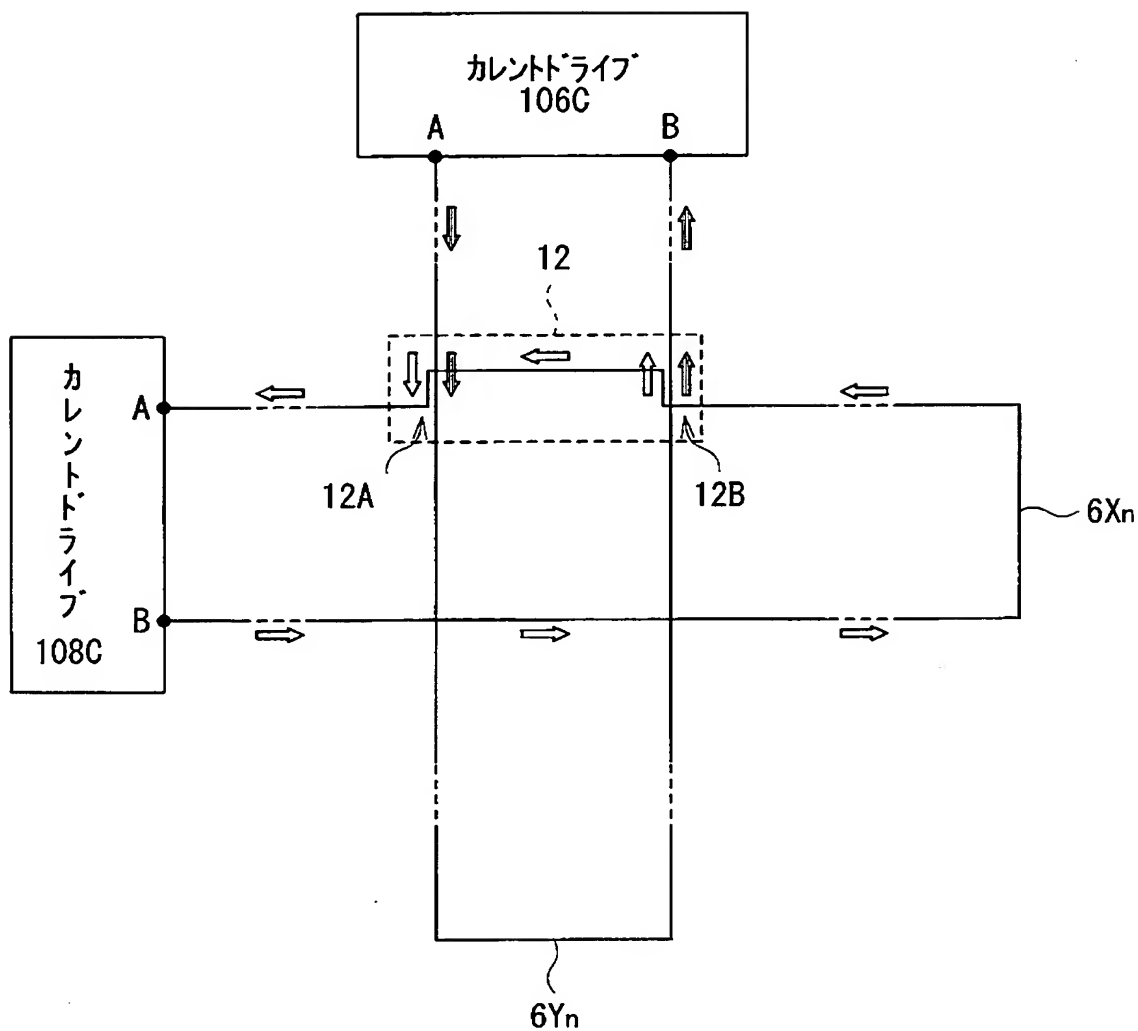
【図 14】



【図 15】

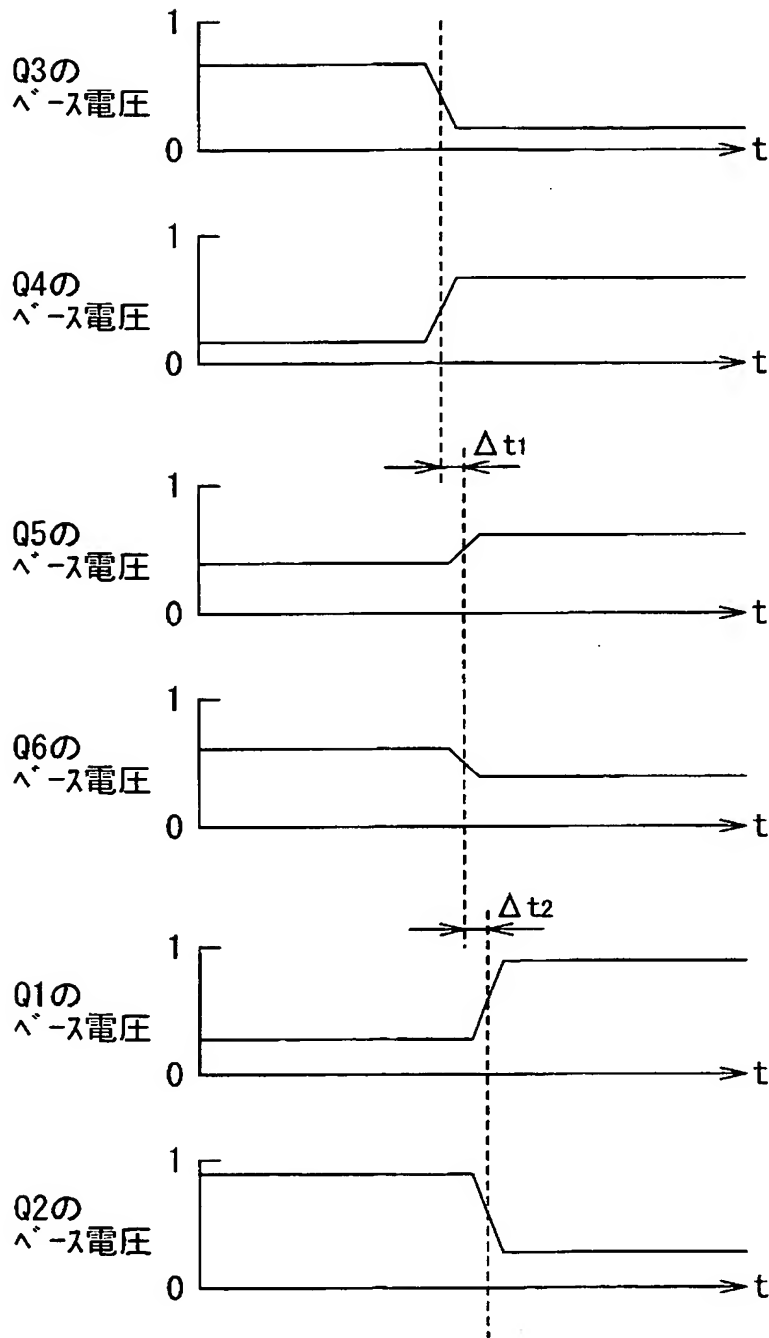


【図 16】

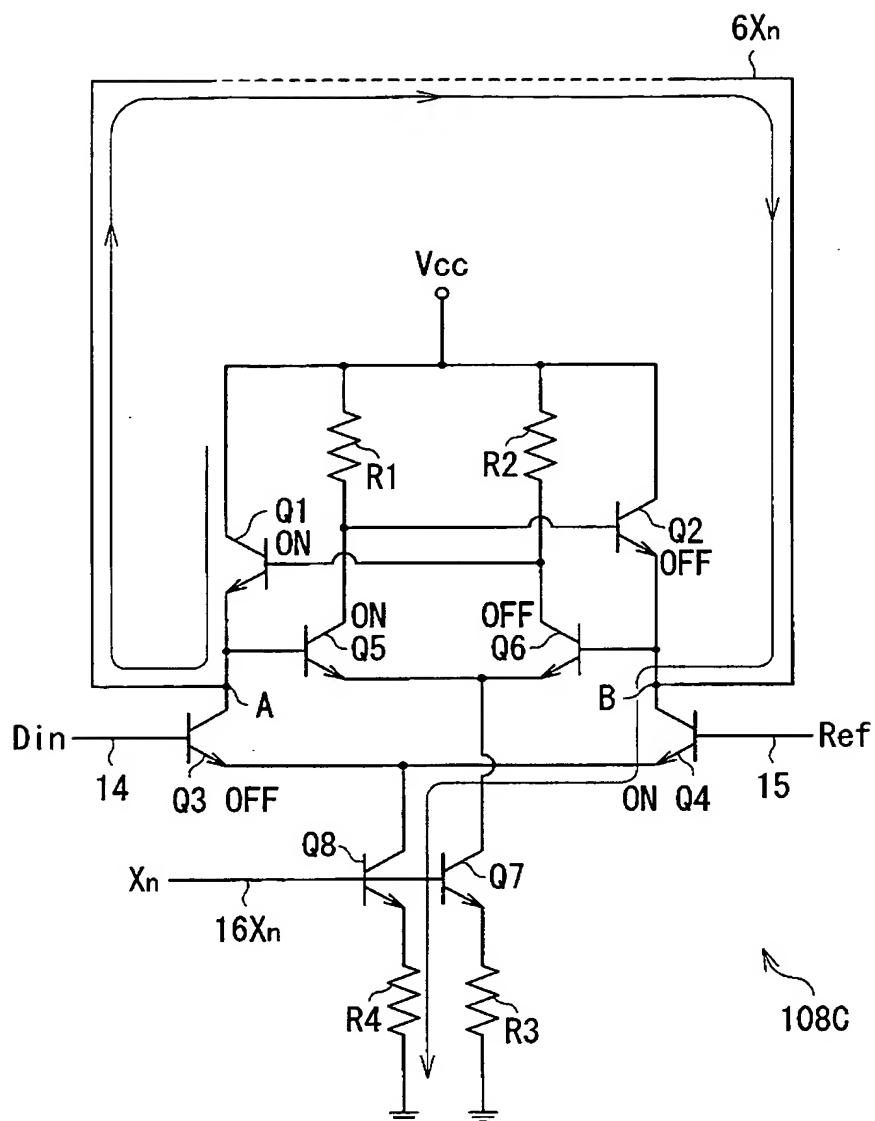




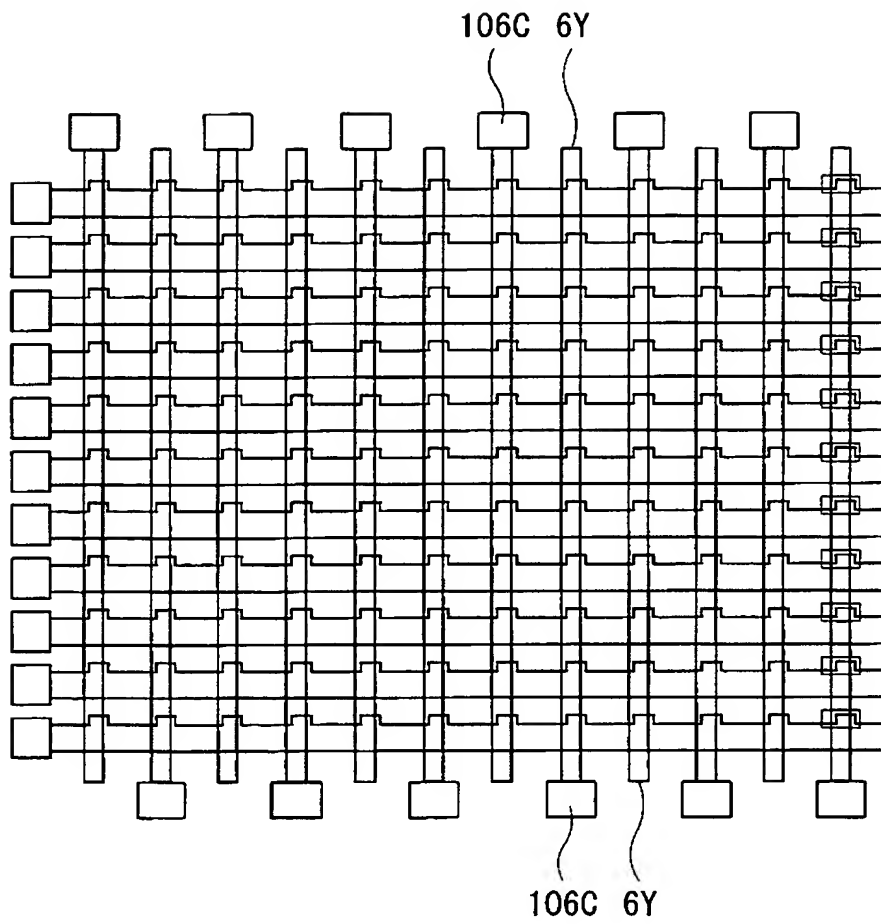
【図 17】



【図 18】

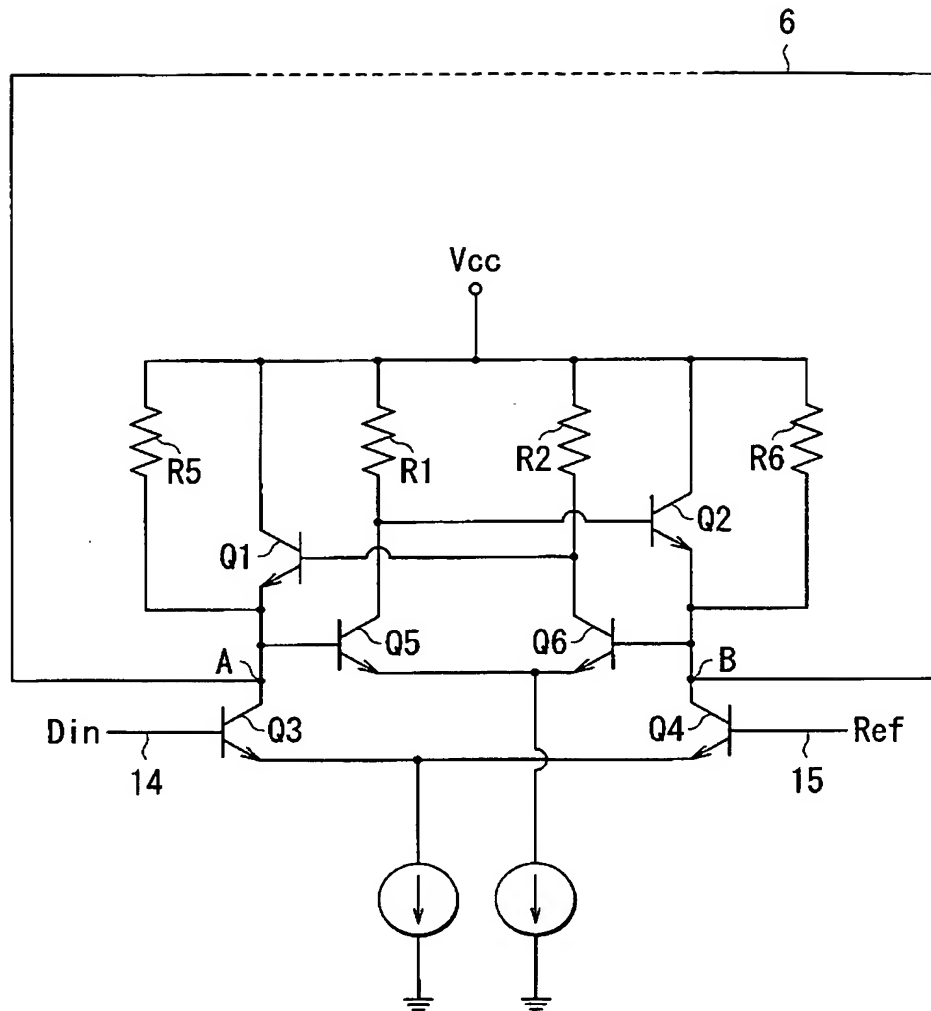


【図 19】

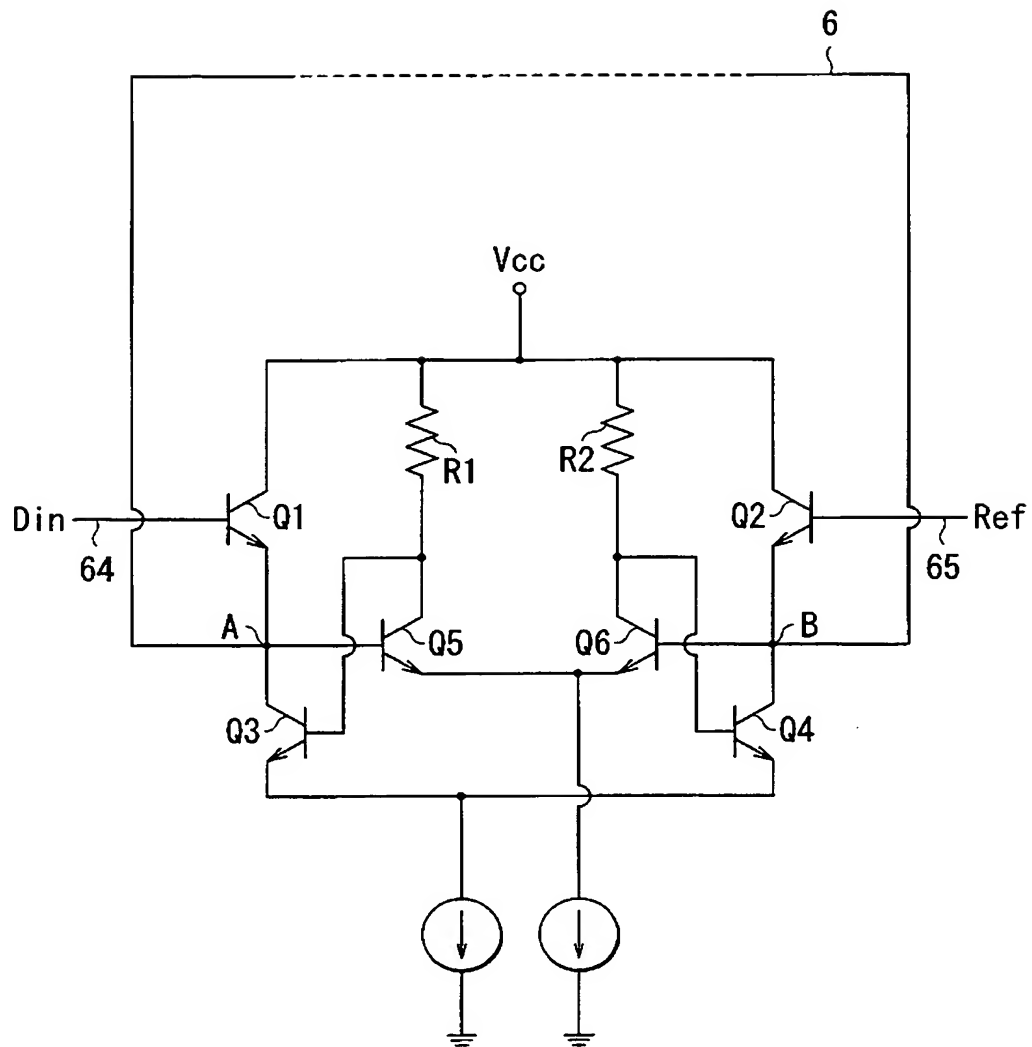




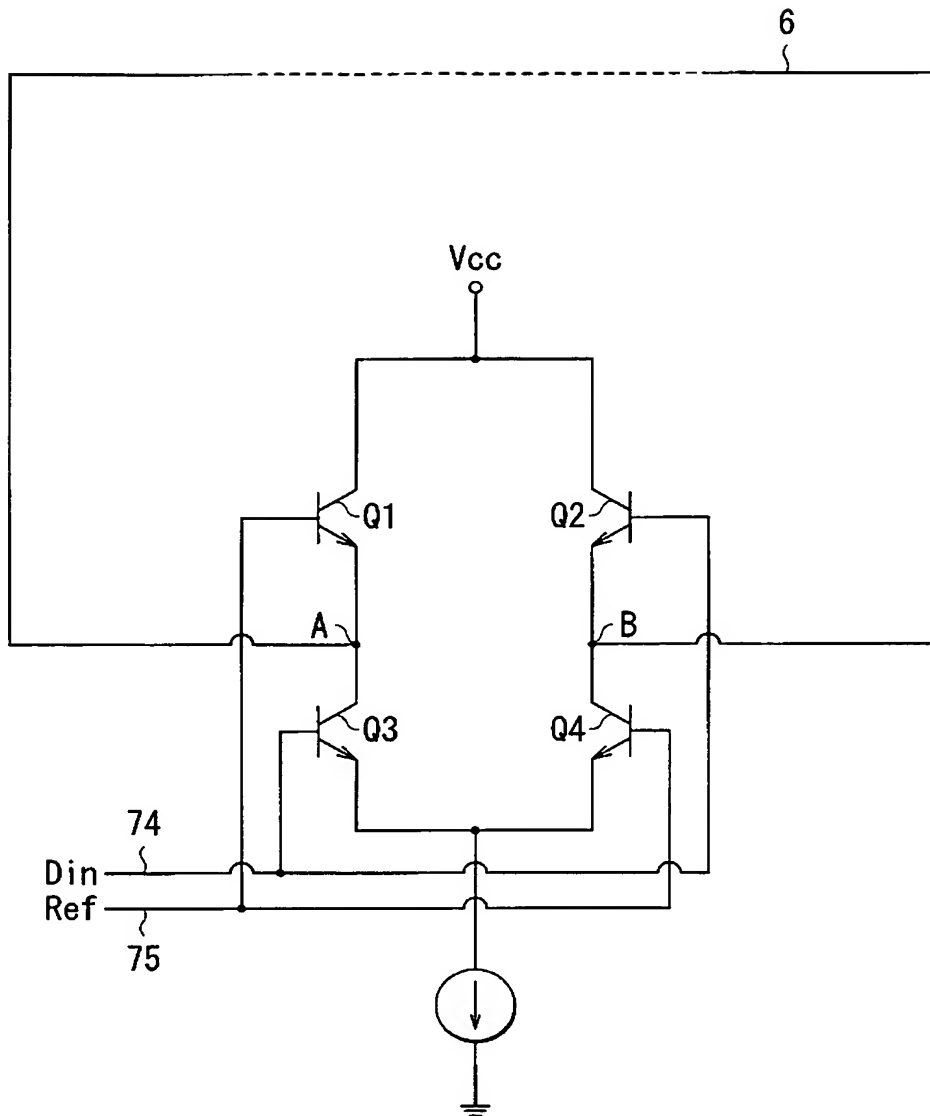
【図 21】



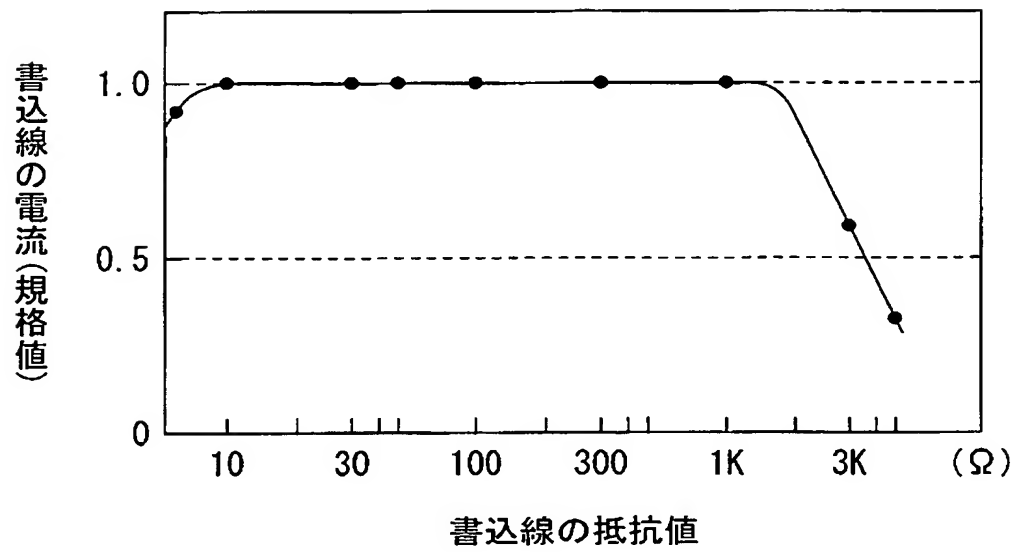
【図 22】



【図 2 3】

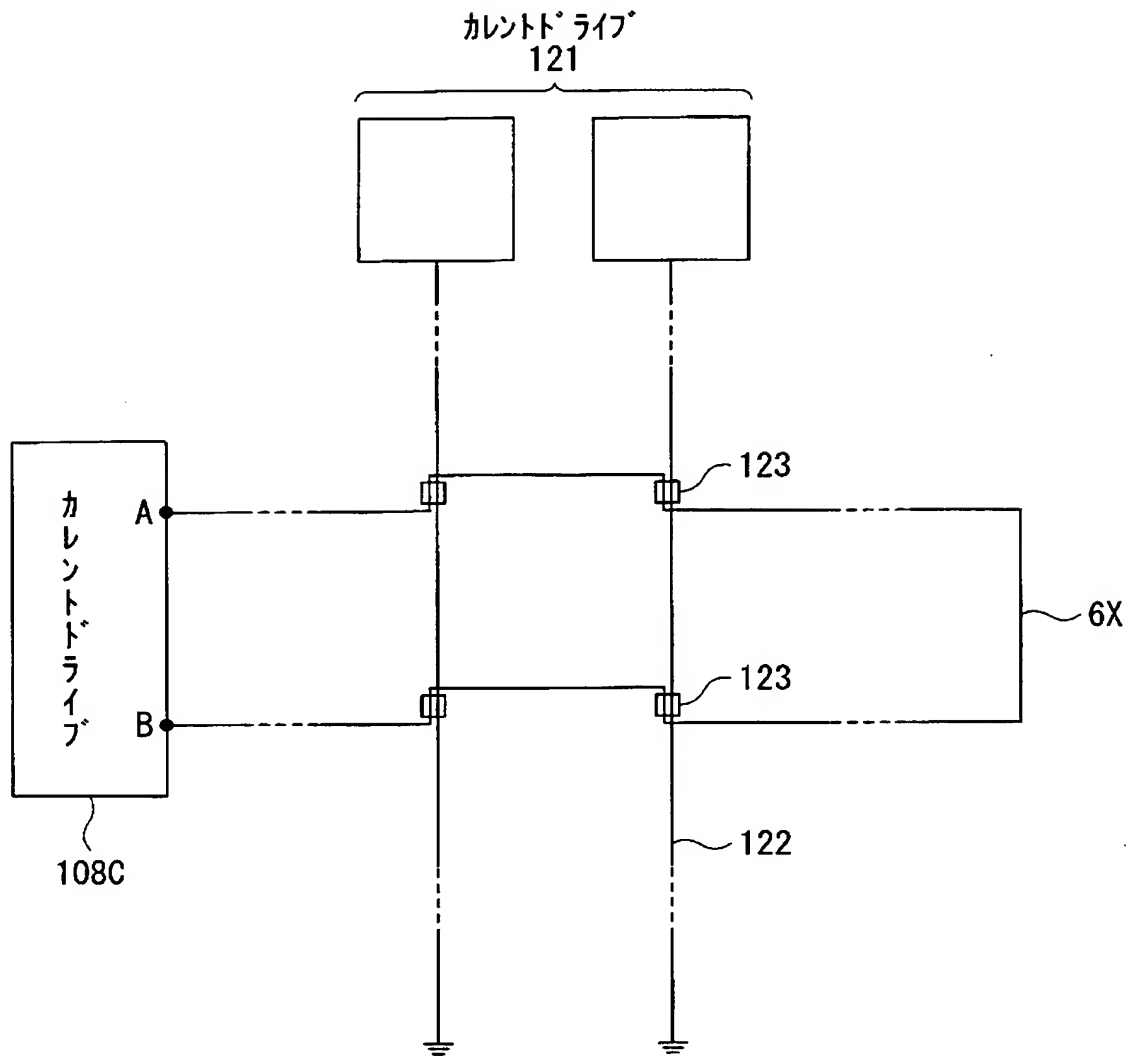


【図 24】

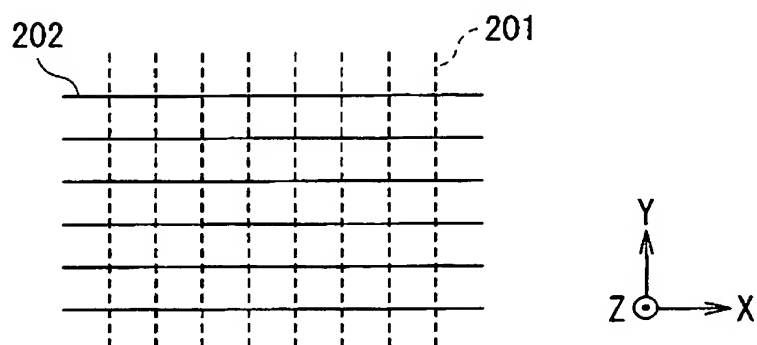




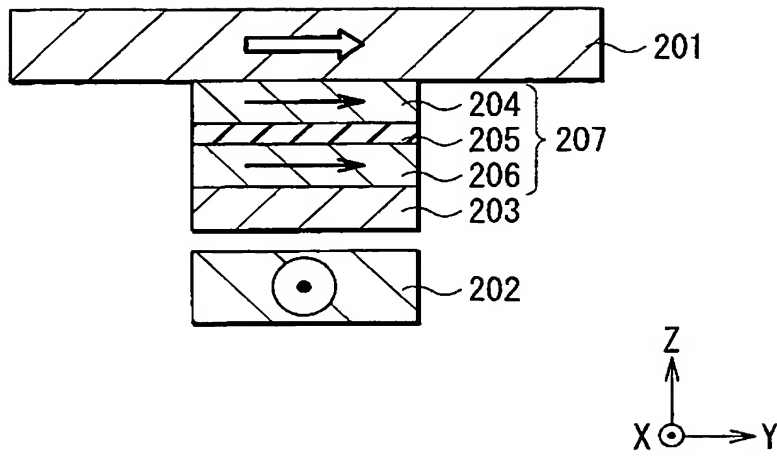
【図 25】



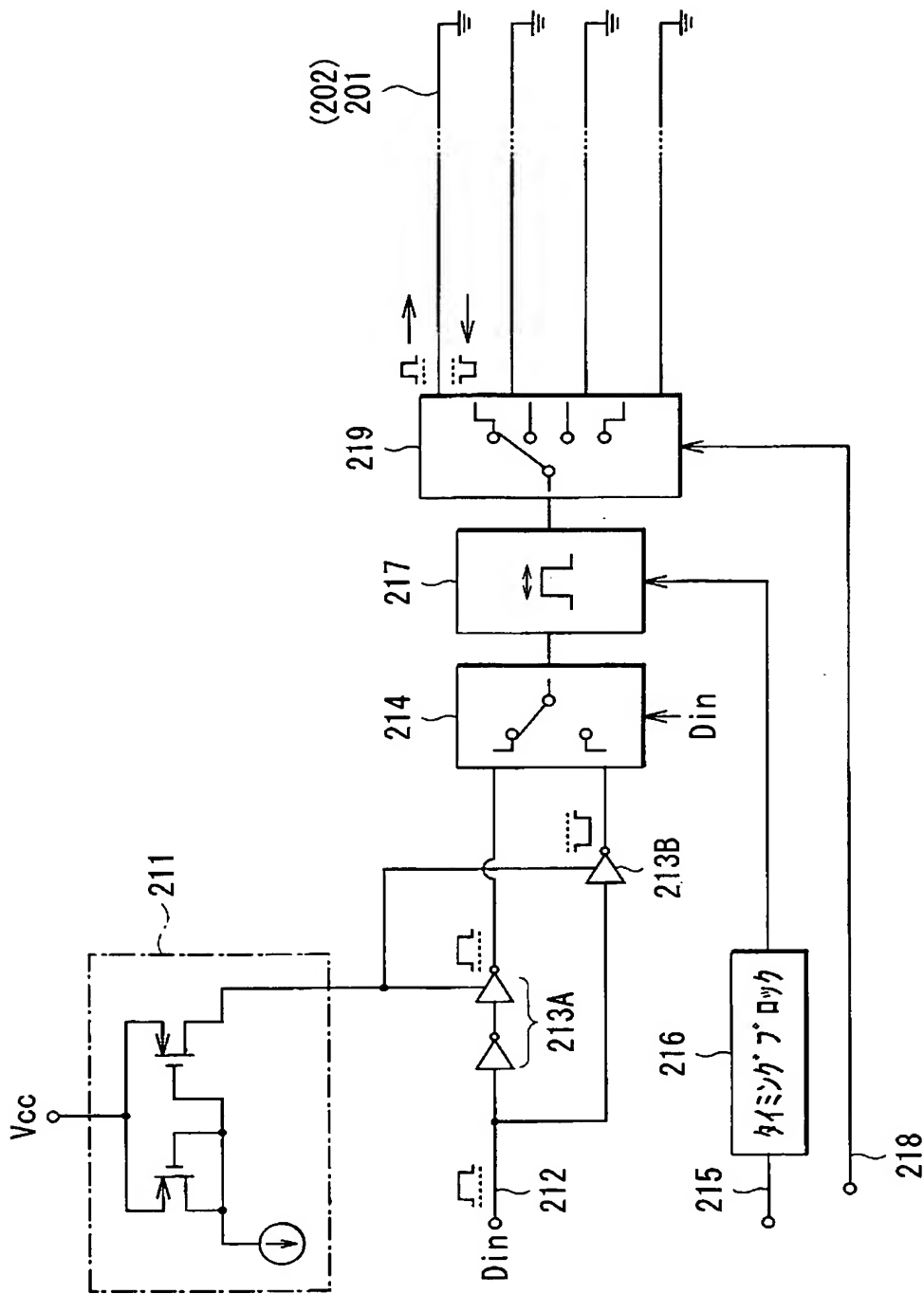
【図 26】



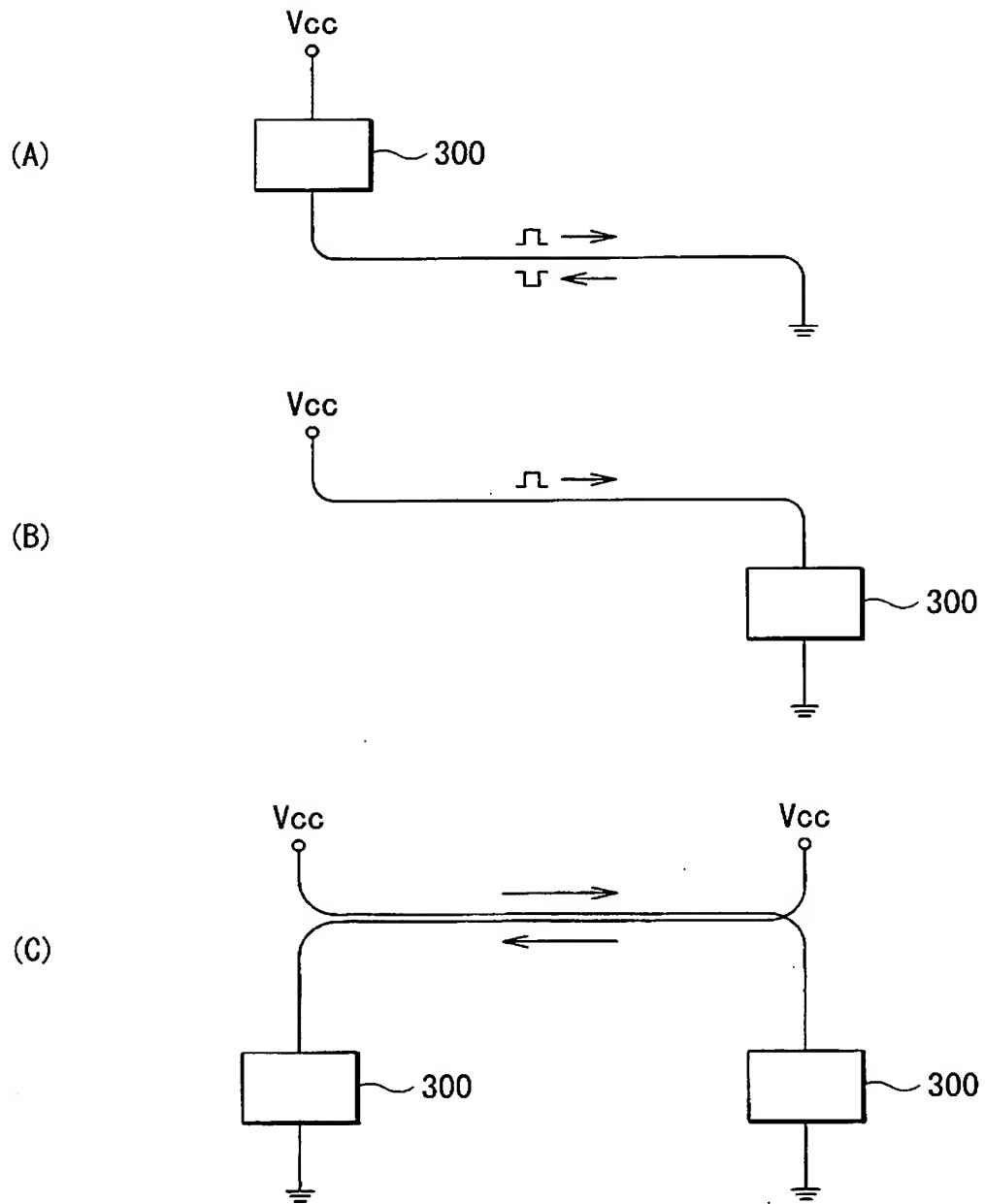
【図 2 7】



【図 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 書込線に、電流量一定の書き込み電流を、流す方向を双方向に切り換えて供給することを可能とする磁気メモリデバイスおよび書込電流駆動回路、並びに書込電流駆動方法を提供する。

【解決手段】 データ信号入力によりトランジスタ Q 3, Q 4 が差動動作する。トランジスタ Q 5, Q 6 は、トランジスタ Q 3, Q 4 の開閉状態に応じて動作し、トランジスタ Q 1, Q 2 の動作制御を行う。トランジスタ Q 1 はトランジスタ Q 4 と同じ開閉状態、トランジスタ Q 2 はトランジスタ Q 3 と同じ開閉状態となる。トランジスタ Q 1 ~ Q 4 の開閉に応じて、ドライブポイント A, B 間に接続された書込線 6 X (6 Y) に流れる電流の方向が決まる。この電流は、一定電圧が入力されるトランジスタ Q 8 と電流制限用の抵抗器 R 4 により、定電流に制御される。

【選択図】 図 5

## 認定・付加情報

特許出願の番号	特願 2002-339932
受付番号	50201770071
書類名	特許願
担当官	佐々木 吉正 2424
作成日	平成14年12月 3日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	000003067
【住所又は居所】	東京都中央区日本橋1丁目13番1号
【氏名又は名称】	ティーディーケイ株式会社

## 【代理人】

申請人

【識別番号】	100109656
【住所又は居所】	東京都新宿区新宿1丁目9番5号 大台ビル2階 翼国際特許事務所

【氏名又は名称】	三反崎 泰司
----------	--------

## 【代理人】

【識別番号】	100098785
【住所又は居所】	東京都新宿区新宿1丁目9番5号 大台ビル2階 翼国際特許事務所

【氏名又は名称】	藤島 洋一郎
----------	--------

次頁無

特願 2 0 0 2 - 3 3 9 9 3 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 6 7 ]

1. 変更年月日  
[変更理由]

1 9 9 0 年 8 月 3 0 日  
新規登録

住 所  
氏 名

東京都中央区日本橋 1 丁目 1 3 番 1 号  
ティーディーケー株式会社

2. 変更年月日  
[変更理由]

2 0 0 3 年 6 月 2 7 日  
名称変更

住 所  
氏 名

東京都中央区日本橋 1 丁目 1 3 番 1 号  
T D K 株式会社